

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 5日
Date of Application:

出願番号 特願2002-353828
Application Number:
[ST. 10/C]: [JP2002-353828]

出願人 シャープ株式会社
Applicant(s):

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号 出証特2003-3074932

【書類名】 特許願

【整理番号】 02J03783

【提出日】 平成14年12月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20 640
G09G 3/32

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 仙田 孝裕

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 室井 孝夫

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100080034

 【弁理士】

 【氏名又は名称】 原 謙三

 【電話番号】 06-6351-4384

【選任した代理人】

 【識別番号】 100113701

 【弁理士】

 【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、
上記電気光学素子を上記電流で駆動する表示装置において、

上記各画素には、

上記電気光学素子に上記電流を流すための第 1 の配線と、

上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 のアクティブ素子と、

上記経路に上記電気光学素子および上記第 1 のアクティブ素子と直列に挿入されるとともに導通／遮断用の制御端子を有する第 2 のアクティブ素子と、

電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 のアクティブ素子の導通抵抗の制御電圧として上記第 1 のアクティブ素子の制御端子に印加する電荷保持手段と、

上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通／遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 3 のアクティブ素子と、

上記第 2 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 2 の配線と、

上記第 3 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 3 の配線とが配置されていることを特徴とする表示装置。

【請求項 2】

電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、
上記電気光学素子を上記電流で駆動する表示装置において、

上記各画素には、

上記電気光学素子に上記電流を流すための第 1 の配線と、

上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素

子と直列に挿入されるとともに導通抵抗の制御端子を有する第1のアクティブ素子と、

上記経路に上記電気光学素子および上記第1のアクティブ素子と直列に挿入されるとともに導通／遮断用の制御端子を有する第2のアクティブ素子と、

電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1のアクティブ素子の導通抵抗の制御電圧として上記第1のアクティブ素子の制御端子に印加する電荷保持手段と、

上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通／遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第3のアクティブ素子と、

上記第2のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第2の配線と、

上記第3のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第3の配線と、

上記第1のアクティブ素子と上記第2のアクティブ素子との接続点と上記第2の配線との間に接続されるとともに、上記第3の配線に接続される導通／遮断用の制御端子を有する第4のアクティブ素子とが配置されていることを特徴とする表示装置。

【請求項3】

上記第1の配線には電流源回路と電圧源回路とが切り替え可能に接続されることを特徴とする請求項1または2に記載の表示装置。

【請求項4】

上記電流源回路を上記第1の配線に接続して各画素に上記電気光学素子に流す電流の値を設定する第1の動作を行った後、上記電圧源回路を上記第1の配線に接続して各画素の上記電気光学素子に上記第1の動作で設定した値の電流を流す第2の動作を行うことを特徴とする請求項3に記載の表示装置。

【請求項5】

上記電流源回路が出力することのできる電流値は複数通りあり、

上記第1の動作を行うとともに上記第1の動作の後に上記第2の動作を行うこ

とを、所定期間に複数回行うことを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、有機 E L (Electro Luminescence) ディスプレイや F E D (Field Emission Display) 等の電流駆動型の電気光学素子を用いた表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、有機 E L ディスプレイや F E D ディスプレイの研究開発が活発に行われている。特に有機 E L ディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話や P D A (Personal Digital Assistants) などの携帯機器用として注目されている。

【 0 0 0 3 】

この有機 E L ディスプレイは単純マトリックス型から商品化が始まったが、将来アクティブマトリックス型が主流になると考えられている。この有機 E L 用アクティブ素子は、アモルファスシリコン T F T でも実現可能であるが、ドライブ回路も同時に形成できて、より小型の T F T で有機 E L を駆動できる (T F T の移動度が高い)、単結晶シリコン T F T やポリシリコン T F T や C G (Continuous Grain) シリコン T F T が有力視されている。特に、直視型ディスプレイ用としてガラス基板上に形成できる低温ポリシリコン T F T や C G シリコン T F T が好まれている。

【 0 0 0 4 】

この低温ポリシリコンや C G シリコンを用いたアクティブマトリックス型有機 E L の画素回路は、非特許文献 1 等で参照されているように、基本的に図 1 3 に示すように 2 つの T F T 素子 Q_a ・ Q_b とコンデンサ C_a と有機 E L 素子 $E L_a$ とから構成される。

【 0 0 0 5 】

即ち、電源配線 V_{ref} と電源端子 V_{com} との間で駆動用 T F T 素子 Q_b が

有機EL素子ELaと直列に配置され、その駆動用TF T素子Qbのゲート端子とソース端子との間にコンデンサCaが接続され、ソース端子は電源配線Vrefに接続されている。また、選択用TF T素子Qaのゲート端子はゲート配線Giに接続されており、ソース・ドレイン端子はソース配線Sjと駆動用TF T素子Qbのゲート端子とを接続するように接続されている。選択用TF T素子Qaを導通状態（ON状態）として、ソース配線SjからコンデンサCaへ電圧を入力することで、駆動用TF T素子Qbの導通抵抗を制御し、有機EL素子ELaに流れる電流を制御し、画素の輝度を制御する構成である。また、その後、選択用TF T素子Qaを非導通状態（OFF状態）として、コンデンサCaの電位を保持し、駆動用TF T素子Qbの導通状態を保持し、画素の輝度を維持する構成である。

【0006】

有機EL素子の発光輝度は、有機EL素子を流れる電流値に比例するので、この構成では、有機EL素子ELaの印加電圧－電流特性が変化すれば、有機EL素子ELaを流れる電流値が変化するという課題がある。

【0007】

そこで、非特許文献2で示された画素回路構成を図14に示す。図14の回路構成では、駆動用TF T素子Qbと有機EL素子ELaとの間にスイッチ用TF T素子Qcを配置し、駆動用TF T素子Qbとスイッチ用TF T素子Qcとの接続点と、ソース配線Sjとの間に選択用TF T素子Qaを接続し、選択用TF T素子QaとコンデンサCaとの間にスイッチ用TF T素子Qdを配置している。選択用TF T素子Qaのゲート端子およびスイッチ用TF T素子Qc・Qdのゲート端子はゲート配線Giに接続されている。

【0008】

この構成では、スイッチ用TF T素子QcをOFF状態として、選択用TF T素子Qaとスイッチ用TF T素子QdとをON状態とすることで、電源配線Vrefよりソース配線Sjへ電流が流れる。この電流量を図示しないソースドライバ回路の電流源で制御することで、駆動用TF T素子Qbのゲート電圧が、駆動用TF T素子Qbの閾値電圧・移動度に依らず、駆動用TF T素子Qbにそのソ

ースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、選択用 T F T 素子 Q a とスイッチ用 T F T 素子 Q d とを O F F 状態として、スイッチ用 T F T 素子 Q c を O N 状態とすることで、コンデンサ C a にこの時の電位が保持され、駆動用 T F T 素子 Q b から設定された電流量が有機 E L 素子 E L a へ流れるよう制御される。

【0009】

また、特許文献 1 で示された画素回路構成を図 15 に示す。図 15 の回路構成では、駆動用 T F T 素子 Q b と電源配線 V r e f との間にスイッチ用 T F T 素子 Q g が、駆動用 T F T 素子 Q b とソース配線 S j との間にスイッチ用 T F T 素子 Q f が、有機 E L 素子 E L a とコンデンサ C a との間に選択用 T F T 素子 Q e が配置されている。スイッチ用 T F T 素子 Q f ・ Q g および選択用 T F T 素子 Q e の各ゲート端子はゲート配線 G i に接続されている。

【0010】

この構成では、スイッチ用 T F T 素子 Q g を O F F 状態として、選択用 T F T 素子 Q e とスイッチ用 T F T 素子 Q f とを O N 状態とすることで、ソース配線 S j より有機 E L 素子 E L a へ電流が流れる。この電流量を図示しないソースドライブ回路の電流ドライブ回路 P j で制御することで、駆動用 T F T 素子 Q b のゲート端子電圧が、駆動用 T F T 素子 Q b の閾値電圧・移動度に依らず、駆動用 T F T 素子 Q b にそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、スイッチ用 T F T 素子 Q f と選択用 T F T 素子 Q e とを O F F 状態とし、スイッチ用 T F T 素子 Q g を O N 状態とすることで、コンデンサ C a にこの時の電位が保持され、駆動用 T F T 素子 Q b から設定された電流量が有機 E L 素子 E L a に流れるよう制御される。

【0011】

なお、C G シリコン T F T の構成に関しては、非特許文献 4 等で発表されている。また、C G シリコン T F T プロセスに関しては、非特許文献 5 等で発表されている。また、有機 E L 素子の構成については、非特許文献 6 等で発表されている。

【0012】

【特許文献 1】

特表 2 0 0 2 - 5 1 4 3 2 0 号公報

公表日 2 0 0 2 年 5 月 1 4 日

【0 0 1 3】

【非特許文献 1】

“Active Matrix Addressing of Polymer Light Emitting Diodes Using Low Temperature Poly Silicon TFTs” , AM-LCD 2 0 0 0 p p 2 4 9 - 2 5 2

【0 0 1 4】

【非特許文献 2】

“Active Matrix PolyLED Displays” , IDW ' 0 0 p p 2 3 5 - 2 3 8

【0 0 1 5】

【非特許文献 3】

“Improved Polysilicon TFT Drivers for Light Emitting Polymer Displays” , IDW ' 0 0 p p 2 4 3 - 2 4 6

【0 0 1 6】

【非特許文献 4】

SID'00 Digest pp.924-927の “4.0-in. TFT-OLED Displays and a Novel Digital Driving Method” 半導体エネルギー研究所

【0 0 1 7】

【非特許文献 5】

AM-LCD 2000 pp.25-28の “Continuous Grain Silicon Technology and Its Applications for Active Matrix Display” 半導体エネルギー研究所

【0 0 1 8】

【非特許文献 6】

AM-LCD '01 pp.211-214の “Polymer Light-Emitting Diodes for use in Flat panel Display”

【0 0 1 9】

【発明が解決しようとする課題】

上記非特許文献 2 や特許文献 1 では、選択期間にソース配線 S_j から所定の電

流値を供給することで有機EL素子ELaを駆動するためのアクティブ素子である駆動用TF T素子Qbのゲート端子電位を設定するので、有機EL素子ELaを流れる電流値がその設定された電流値で決まり、有機EL素子ELaの印加電圧－電流特性が変化しても、有機EL素子ELaを流れる電流値が変化せず、その発光輝度が変化し難いという利点がある。

【0020】

しかし、上記非特許文献2や特許文献1の画素回路構成は、有機EL素子1個当たり1個のコンデンサおよび4個のTF T素子と、1本の電源配線と、1本のソース配線および1本のゲート配線とを必要とする4TF T画素回路構成となっている。その為、これら4TF T画素回路構成では、コンデンサや配線やTF T素子に取られる面積が増え、有機EL素子を形成する為の透明電極（例えばITO）の面積（すなわち陽極面積）が小さくなってしまう。特に、TF T素子サイズや配線幅の最小値はプロセスルールで決定されるので、画素サイズが小さくなくても、それらTF T素子サイズや配線幅を小さくすることはできないのが現状である。

【0021】

この為、100ppi以上の高精細パネルを製造しようとする、図14や図15の4TF T画素回路構成では、確保できる透明電極の面積が図13の2TF T画素回路構成の半分以下になってしまう。

【0022】

また、所定の輝度を得るための好ましい電源電圧はRGB各ドットで異なるので、前記電源配線VrefはRGB各色毎に異ならせることが望ましい。この場合、RGB各色は電源配線Vrefに沿って形成され、図16に示すように、画素回路Aijは電源配線Vrefに沿って3分割されてRGB各ドットが形成される。しかし、前記ソース配線Sjもこの電源配線Vrefに平行に形成されるので、画素回路Aijを通る配線は、電源配線Vrefが3本、ソース配線Sjが3本、ゲート配線Giが1本となる。

【0023】

結局、図14や図15の画素回路を有する表示装置では、図16に示すように

、T F T 領域 7 やゲート配線 G_i の領域の他に、ソース配線 S_j の為に発光に使えなかった画素エリア（R G B の各 1 ドット $9 \cdot 10 \cdot 11$ で 1 画素を形成する）が、

画素長 \times （ソース配線幅 $Y [\mu m]$ + プロセス上の抜き $P [\mu m]$ ） $\times 3$ と大きかった。ここで、画素長 = R G B 各ドットの長さ = R G B 各ドットの幅 $X [\mu m]$ $\times 3$ である。その結果、I T O 領域 8 の面積、すなわち透明電極を形成するための面積が非常に小さくなるという課題が生じていた。

【0024】

本発明は上記課題を解決するためになされたものであり、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することを目的とする。

【0025】

【課題を解決するための手段】

本発明の表示装置は、上記課題を解決するために、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第 1 の配線と、上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 のアクティブ素子と、上記経路に上記電気光学素子および上記第 1 のアクティブ素子と直列に挿入されるとともに導通／遮断用の制御端子を有する第 2 のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 のアクティブ素子の導通抵抗の制御電圧として上記第 1 のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通／遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 3 のアクティブ素子と、上記第 2 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 2 の配線と、上記第 3 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 3 の配線とが配置されていることを特徴としている。

【0026】

上記の発明によれば、各画素において、第 2 および第 3 の配線からの制御端子への制御電圧印加により第 2 および第 3 のアクティブ素子を導通させると、第 1 の配線から第 1 のアクティブ素子を介して電気光学素子に所定の値の電流を流すことが可能な状態となる。このとき、電荷保持手段に上記値の電流に対応した電荷が蓄積されるようにし、この後、第 3 の配線からの制御電圧印加により第 3 のアクティブ素子を遮断すれば、上記値の電流が第 1 のアクティブ素子に流れるような制御電圧が第 1 のアクティブ素子の制御端子に印加されるように、電荷保持手段が電荷を保持する。従って、これにより電気光学素子に流す電流の値を設定することができる。

【0 0 2 7】

そして、第 2 の配線からの制御電圧印加により第 2 のアクティブ素子を遮断すれば、電荷保持手段が上記電荷を保持した状態で電気光学素子へ流れる電流を遮断することができる。この遮断期間には、例えば同一の第 1 配線につながる別の画素において電気光学素子に流す電流の値を設定することができる。このようにして各画素に電気光学素子の電流の値を設定し、再び第 2 のアクティブ素子を導通させれば、設定した値の電流で電気光学素子を駆動することができる。

【0 0 2 8】

上記の構成では、アクティブ素子は 1 画素につき 3 個、コンデンサなどの電荷保持手段が 1 個、さらに配線が 3 本あればよく、また、第 2 および第 3 の配線は、カラー表示装置の場合に R G B 各画素に共通に設けることができる。従って、4 個の T F T 素子、1 個のコンデンサ、1 本の電源配線、1 本のソース配線、および 1 本のゲート配線を備えた従来の 4 T F T 画素回路構成よりもアクティブ素子が 1 つ少なく済むことから、透明電極の面積を大きくとることができる。さらに、従来の 4 T F T 画素回路構成ではカラー表示装置の場合に R G B 各画素に対してゲート配線の共通化はできてもソース配線がそれぞれに必要であったが、本発明ではこのソース配線が不要であることから、さらに透明電極の面積を大きくとることができる。

【0 0 2 9】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置に

において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができる。またこれにより、例えば同一の表示輝度を得るために必要な有機 EL 素子の発光輝度を低下させることができ、その輝度寿命を改善される。

【0030】

また、本発明の表示装置は、上記課題を解決するために、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第 1 の配線と、上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 のアクティブ素子と、上記経路に上記電気光学素子および上記第 1 のアクティブ素子と直列に挿入されるとともに導通／遮断用の制御端子を有する第 2 のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 のアクティブ素子の導通抵抗の制御電圧として上記第 1 のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通／遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 3 のアクティブ素子と、上記第 2 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 2 の配線と、上記第 3 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 3 の配線と、上記第 1 のアクティブ素子と上記第 2 のアクティブ素子との接続点と上記第 2 の配線との間に接続されるとともに、上記第 3 の配線に接続される導通／遮断用の制御端子を有する第 4 のアクティブ素子とが配置されていることを特徴としている。

【0031】

上記の発明によれば、各画素において、第 2 および第 3 の配線からの制御端子への制御電圧印加により第 3 および第 4 のアクティブ素子を導通させると、第 1 の配線から第 1 のアクティブ素子に所定の値の電流を流すことが可能な状態となる。このとき、電荷保持手段に上記値の電流に対応した電荷が蓄積されるようにし、この後、第 3 の配線からの制御電圧印加により第 3 のアクティブ素子を遮断すれば、上記値の電流が第 1 のアクティブ素子に流れるような制御電圧が第 1 の

アクティブ素子の制御端子に印加されるように、電荷保持手段が電荷を保持する。従って、これにより電気光学素子に流す電流の値を設定することができる。

【0032】

そして、第3のアクティブ素子の遮断期間には、第4のアクティブ素子をも遮断することにより、例えば同一の第1配線につながる別の画素において電気光学素子に流す電流の値を設定することができる。このようにして各画素に電気光学素子の電流の値を設定し、次いで第2のアクティブ素子を導通させれば、設定した値の電流で電気光学素子を駆動することができる。

【0033】

上記の構成では、アクティブ素子は1画素につき4個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2および第3の配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、4個のTFT素子、1個のコンデンサ、1本の電源配線、1本のソース配線、および1本のゲート配線を備えた従来の4TFT画素回路構成では、カラー表示装置の場合にRGB各画素に対してゲート配線の共通化はできてもソース配線がそれぞれに必要であったが、本発明ではこのソース配線が不要であることから、透明電極の面積を大きくとることができる。

【0034】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることができる表示装置を提供することができる。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善される。

【0035】

さらに本発明の表示装置は、上記課題を解決するために、上記第1の配線には電流源回路と電圧源回路とが切り替え可能に接続されることを特徴としている。

【0036】

上記の発明によれば、各画素に電気光学素子の電流の値を設定するときには第1の配線に電流源回路を接続してこの電流源回路からの電流で電気光学素子の電流の値を設定し、電気光学素子の電流の値を設定した後に第1の配線に電圧源回

路を切り替え接続してこの電圧源回路からの印加電圧により、第2のアクティブ素子が導通状態である期間に、他の画素の電気光学素子の駆動状態に関わらずに、電気光学素子を設定した値の電流で駆動することができる。

【0037】

さらに本発明の表示装置は、上記課題を解決するために、上記電流源回路を上記第1の配線に接続して各画素に上記電気光学素子に流す電流の値を設定する第1の動作を行った後、上記電圧源回路を上記第1の配線に接続して各画素の上記電気光学素子に上記第1の動作で設定した値の電流を流す第2の動作を行うことを特徴としている。

【0038】

上記の発明によれば、第1の動作により電流源回路からの電流で各画素に電気光学素子の電流の値を設定することができ、その後、第2の動作により、第1の動作で設定された値の電流を電圧源回路から電気光学素子に流して電気光学素子を駆動することができる。

【0039】

さらに本発明の表示装置は、上記課題を解決するために、上記電流源回路が出力することのできる電流値は複数通りあり、上記第1の動作を行うとともに上記第1の動作の後に上記第2の動作を行うことを、所定期間に複数回行うことを特徴としている。

【0040】

上記の発明によれば、第1の動作によって各画素に設定することのできる電気光学素子の電流値の種類、すなわち電流源回路から出力できる電流値の種類が、設定した階調数より少ない状態に制限されるような場合があっても、次のようにして多階調表示を行うことができる。すなわち、第1の動作を行うとともに第1の動作の後に第2の動作を行うことを、所定期間に複数回行う。これは、所定期間内に複数回、電流設定動作+発光動作を行うことに等しい。これにより、所定期間に電気光学素子に電流が流された期間の長さの総和に応じて、電流源回路の電流値の数以上に細かい階調表示を確保することができる。

【0041】

特に、第1の配線に接続される電流源回路がTFT等で作られている場合には、電流源回路から出力することのできる電流値の数に制限がある、すなわち出力電流値の数がゼロを含めて2以上のある整数値に制限される場合が多いので、本発明の階調表示が有効である。

【0042】

【発明の実施の形態】

以下、種々の実施の形態を挙げて本発明の詳細な説明を行う。

【0043】

本発明に用いられる各スイッチング素子は低温ポリシリコンTFTやCGシリコンTFTなどで構成できるが、以下の実施の形態ではCGシリコンTFTを用いることとする。

【0044】

なお、このCGシリコンTFTの構成に関しては、非特許文献4等で発表されているので、ここではその詳細な説明は省略する。

【0045】

また、CGシリコンTFTプロセスに関しては、非特許文献5等で発表されているので、ここではその詳細な説明は省略する。

【0046】

また、以下の実施の形態で用いる電気光学素子である有機EL素子の構成についても、非特許文献6等で発表されているので、ここではその詳細な説明は省略する。

【0047】

〔実施の形態1〕

本発明の一実施の形態について図1ないし図4に基づいて説明すれば以下の通りである。

【0048】

図1に、本実施の形態に係る表示装置の画素回路 $A_{ij}(1)$ を示す。画素回路 $A_{ij}(1)$ は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

【0049】

画素回路 A_{ij} (1) には、電流駆動型の有機 EL 素子 EL_1 、p 型の TFT 素子 $Q_1 \cdot Q_3$ 、n 型の TFT 素子 Q_2 、コンデンサ C_1 、ゲート配線 G_i (1)、ソース配線兼電源配線（以降、電源配線と記す） PW (1)、および制御配線 E_i (1) が配置されている。

【0050】

電源配線（第 1 の配線） PW (1) に TFT 素子（第 1 のアクティブ素子） Q_1 とコンデンサ（電荷保持手段） C_1 とが接続されている。コンデンサ C_1 は TFT 素子 Q_1 のゲート端子とソース端子との間に接続されている。その TFT 素子 Q_1 に直列に、TFT 素子（第 2 のアクティブ素子） Q_3 と有機 EL 素子（電気光学素子） EL_1 とが、TFT 素子 Q_3 を TFT 素子 Q_1 側として接続されている。TFT 素子 Q_3 のゲート端子は制御配線（第 2 の配線） E_i (1) に接続されている。有機 EL 素子 EL_1 は、陽極が TFT 素子 Q_3 側となるように接続されている。

【0051】

また、TFT 素子 Q_1 のゲート端子と、TFT 素子 Q_1 と TFT 素子 Q_3 との接続点との間に、TFT 素子（第 3 のアクティブ素子） Q_2 が接続されている。この TFT 素子 Q_2 のゲート端子はゲート配線（第 3 の配線） G_i (1) に接続されている。

【0052】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機 EL 素子 EL_1 に流す電流の値を設定し、有機 EL 素子 EL_1 を上記値の電流で駆動するものである。電源配線 PW (1) は、有機 EL 素子 EL_1 に電流を流すための配線である。従って、上述の内容から分かるように、TFT 素子 Q_1 は、電源配線 PW (1) から有機 EL 素子 EL_1 に上記電流を流す経路に有機 EL 素子 EL_1 と直列に挿入されており、そのゲートが導通抵抗の制御端子である。ゲートに印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。また、TFT 素子 Q_3 は上記経路に有機 EL 素子 EL_1 および TFT 素子 Q_1 と直列に挿入されたスイッチング素子であり、そのゲー

ト端子が導通／遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0053】

そしてコンデンサC1は、蓄積した電荷に応じた電圧をTFT素子Q1の導通抵抗の制御電圧としてTFT素子Q1のゲート端子に印加する。TFT素子Q2は、コンデンサC1に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC1への電荷供給を可能にし、遮断している間はコンデンサC1に蓄積した電荷を保持させる。

【0054】

また、制御配線Ei(1)およびゲート配線Gi(1)は、各画素内で電源配線PW(1)と直交しており、制御配線Ei(1)はTFT素子Q3のスイッチング状態を決める電圧(導通／遮断用の制御電圧)をTFT素子Q3のゲート端子に印加し、ゲート配線Gi(1)はTFT素子Q2のスイッチング状態を決める電圧(導通／遮断用の制御電圧)をTFT素子Q2のゲート端子に印加する。

【0055】

この画素回路Aij(1)をm×nのマトリックス状に配置することで表示装置を形成することができるが、図2には、説明を簡単にするために、画素回路Aij(1)が3×2配置された表示装置12を図示する。

【0056】

表示装置12は、ソースドライバ回路1、ゲートドライバ回路5、および電源回路6を備えている。表示装置12において、各画素回路Aij(1)のゲート配線Gi(1)および制御配線Ei(1)はゲートドライバ回路5に接続され、電源配線PW(1)はソースドライバ回路1に接続されている。ゲート配線Gi(1)および制御配線Ei(1)はマトリックスの各行に設けられ、同一行の各画素には共通化されている。電源配線PW(1)はマトリックスの各列に設けられ、同一列の各画素には共通化されている。また、ゲートドライバ5からはさらに制御配線Timがソースドライバ回路1へ引き回されている。

【0057】

ソースドライバ回路1は、電流源回路2およびスイッチ素子3・4を備えている。スイッチ素子3はn型のTFTであり、スイッチ素子4はp型のTFTである。ソースドライバ回路1では各電源配線PW(1)がスイッチ素子3・4に接続され、いずれのスイッチ素子が導通状態になるかはゲートドライバ回路5より制御配線Timに出力される電圧により制御される。制御配線Timは各スイッチ素子3・4のゲート端子に接続されている。制御配線Timにハイの電圧が出力されるとスイッチ素子3は導通するとともにスイッチ素子4は遮断され、制御配線Timにローの電圧が出力されるとスイッチ素子3は遮断されるとともにスイッチ素子4は導通する。

【0058】

また、スイッチ素子3のそれぞれには電流源回路2が個別に接続されており、スイッチ素子3が導通すると電源配線PW(1)が電流源回路2に接続される。電流源回路2は図示しないデータ配線および制御配線により制御され、複数の電流値を出力することが可能である。ここでは、複数の電流値の一例として、ゼロとその他の1つの値との2通りを取るができるものとする。さらに、スイッチ素子4のそれぞれは共通の電圧源回路6に接続されており、スイッチ素子4が導通すると電源配線PW(1)が電圧源回路6に接続される。このように、電源配線PW(1)には、電流源回路2と電圧源回路6とが切り替え接続されるようになっている。

【0059】

次に、この表示装置12の駆動方法を図3を用いて説明する。なお、図3では、ゲート配線Gi(1)が2本だけでは動作が判りにくいので、ゲート配線Gi(1)が6本である場合を図示している。

【0060】

同図では、横軸が時間を示し、縦軸が各配線の電圧を示す。

【0061】

同図に示すように、表示装置12の1フレーム期間は期間0～34tの35t期間であり、最初の9t期間が第1フィールド期間であり、次の11t期間が第

2 フィールド期間であり、最後の 15 t 期間が第 3 フィールド期間である。そして、第 1 フィールド期間の期間 0 ~ 7 t に渡り制御配線 T i m がハイ状態となり、図 2 の電源配線 P W (1) は電流源回路 2 に接続される。

【0062】

この間、電流源回路 2 から電源配線 P W (1) を介して画素回路 A 1 j ~ A 6 j に、それぞれの第 1 ビットに対応した電流が供給される。このとき、ゲート配線 G 1 (1) ~ G 6 (1) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつハイ状態となり、制御配線 E 1 (1) ~ E 6 (1) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつロー状態となる。各ゲート配線 G i (1) がハイ状態となるときに、各制御配線 E i (1) がロー状態になり、各ゲート配線 G i (1) がロー状態となるときに、各制御配線 E i (1) がハイ状態になる。

【0063】

この各ゲート配線 G i (1) がハイ状態で各制御配線 E i (1) がロー状態であるとき、図 1 の画素回路 A i j (1) では T F T 素子 Q 2 と T F T 素子 Q 3 とが導通状態となり、電流源回路 2 より供給された電流は電源配線 P W (1) と T F T 素子 Q 1 と T F T 素子 Q 3 とを通過して、有機 E L 素子 E L 1 に流れ込む。

【0064】

このとき、T F T 素子 Q 1 のゲート・ソース間電圧は、与えられた値の電流を T F T 素子 Q 1 が通すように設定される。これは、T F T 素子 Q 1 のゲート電位が低いとき（ゲート・ソース間電圧が大きいとき）、より多くの電流を流してしまうので、電源配線 P W (1) の電位（ソース電位）が下がり、T F T 素子 Q 1 のゲート・ソース間電圧が電流源回路 2 より供給された電流を流すよう調整されるからである。また、これは、T F T 素子 Q 1 のゲート電位が高いとき（ゲート・ソース間電圧が低いとき）、余り電流が流れないので、電源配線 P W (1) の電位（ソース電位）が上がって、T F T 素子 Q 1 のゲート・ソース間電圧が電流源回路 2 より供給された電流を流すよう調整されるからである。T F T 素子 Q 1 のゲート・ソース間電圧はコンデンサ C 1 の端子間電圧として設定される。

【0065】

また、同時に同一列の2つの画素回路 $A_{ij}(1)$ へ電流源回路2より電流が流れないように、選択されていない画素回路 $A_{ij}(1)$ の各ゲート配線 $G_i(1)$ はロー状態となり、各制御配線 $E_i(1)$ はハイ状態となっている。これにより、同一列に設けられている各画素回路 $A_{ij}(1)$ への電流値設定を可能にしている。電流の値の設定が終了すると、その画素のゲート配線 $G_i(1)$ はロー状態となり、制御配線 $E_i(1)$ はハイ状態となる。このとき、TFT素子 Q_2 ・ Q_3 はともに遮断される。これにより、コンデンサ C_1 は端子間電圧を保持する。

【0066】

このように、第1フィールド期間の期間 $0 \sim 8t$ において各画素回路 $A_{ij}(1)$ のゲート配線 $G_i(1)$ がハイ状態で制御配線 $E_i(1)$ がロー状態となる期間は、電流源回路2を電源配線 $PW(1)$ に接続して各画素に有機EL素子 EL_1 に流す電流の値を設定する第1の動作を行う期間となっている。

【0067】

そして、第1フィールド期間の期間 $8t$ では制御配線 T_{im} がロー状態となり、図2の電源配線 $PW(1)$ は電圧源回路6に接続される。このとき、各画素回路 $A_{ij}(1)$ のゲート配線 $G_i(1)$ はロー状態のままで制御配線 $E_i(1)$ が一斉にロー状態となり、電圧源回路6より、各画素回路 $A_{ij}(1)$ のTFT素子 Q_1 に設定された値の電流が、有機EL素子 EL_1 に流れる。このとき、TFT素子 Q_2 は遮断状態のままであり、TFT素子 Q_3 は導通状態となる。またこのとき、各画素の有機EL素子 EL_1 には、その他の画素の有機EL素子 EL_1 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0068】

このように、第1フィールド期間の期間 $8t$ は、電圧源回路6を電源配線 $PW(1)$ に接続して各画素の有機EL素子 EL_1 に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0069】

次に、第2フィールド期間となり、期間 $9t \sim 16t$ に渡り制御配線 T_{im} が

ハイ状態となり、図2の電源配線PW(1)は電流源回路2に接続される。この間、電流源回路2から電源配線PW(1)を介して画素回路A_{1j}～A_{6j}に、それぞれの第2ビットに対応した電流が供給される。このとき、ゲート配線G₁(1)～G₆(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線E₁(1)～E₆(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつロー状態となる。各ゲート配線G_i(1)がハイ状態となるときに、各制御配線E_i(1)がロー状態になり、各ゲート配線G_i(1)がロー状態となるときに、各制御配線E_i(1)がハイ状態になる。

【0070】

このように、第2フィールド期間の期間9t～16tにおいて各画素回路A_{ij}(1)のゲート配線G_i(1)がハイ状態で制御配線E_i(1)がロー状態となる期間は、電流源回路2を電源配線PW(1)に接続して各画素に有機EL素子EL1に流す電流の値を設定する第1の動作を行う期間となっている。

【0071】

そして、第2フィールド期間の期間17t～19tに渡り制御配線T_{im}がロー状態となり、図2の電源配線PW(1)は電圧源回路6に接続される。このとき、各画素回路A_{ij}(1)のゲート配線G_i(1)はロー状態のままで制御配線E_i(1)が一斉にロー状態となり、電圧源回路6より、各画素回路A_{ij}(1)のTFT素子Q1に設定された値の電流が、有機EL素子EL1に流れる。またこのとき、各画素の有機EL素子EL1には、その他の画素の有機EL素子EL1の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0072】

このように、第2フィールド期間の期間17t～19tは、電圧源回路6を電源配線PW(1)に接続して各画素の有機EL素子EL1に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0073】

最後に、第3フィールド期間となり、期間20t～27tに渡り制御配線T_i

mがハイ状態となり、図2の電源配線PW(1)は電流源回路2に接続される。この間、電流源回路2から電源配線PW(1)を介して画素回路A_{1j}～A_{6j}に、それぞれの第3ビットに対応した電流が供給される。このとき、ゲート配線G₁(1)～G₆(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線E₁(1)～E₆(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつロー状態となる。各ゲート配線G_i(1)がハイ状態となるとときに、各制御配線E_i(1)がロー状態になり、各ゲート配線G_i(1)がロー状態となるとときに、各制御配線E_i(1)がハイ状態になる。

【0074】

このように、第3フィールド期間の期間20t～27tにおいて各画素回路A_{ij}(1)のゲート配線G_i(1)がハイ状態で制御配線E_i(1)がロー状態となる期間は、電流源回路2を電源配線PW(1)に接続して各画素に有機EL素子EL1に流す電流の値を設定する第1の動作を行う期間となっている。

【0075】

そして、第3フィールド期間の期間28t～34tに渡り制御配線T_{im}がロー状態となり、図2の電源配線PW(1)は電圧源回路6に接続される。このとき、各画素回路A_{ij}(1)のゲート配線G_i(1)はロー状態のままで制御配線E_i(1)が一斉にロー状態となり、電圧源回路6より、各画素回路A_{ij}(1)のTFT素子Q1に設定された値の電流が、有機EL素子EL1に流れる。またこのとき、各画素の有機EL素子EL1には、その他の画素の有機EL素子EL1の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0076】

このように、第3フィールド期間の期間28t～34tは、電圧源回路6を電源配線PW(1)に接続して各画素の有機EL素子EL1に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0077】

なお、上記駆動方法では、各画素回路A_{ij}(1)の制御配線E_i(1)を一

齊にロー状態とする期間の比率、すなわち第2の動作を行う期間の比率は1:3:7であるが、既に第1の動作においてTFT素子Q1のゲート・ソース間電圧を設定するために各画素回路A_{ij}(1)の有機EL素子EL1が1t期間だけ表示に使われているので、実質的な表示期間の比率は、2:4:8となり各ビットの重み1:2:4に対応する。

【0078】

前述の図1に示すように本実施の形態に係る画素回路A_{ij}(1)では、1画素(=1ドット)は、有機EL素子EL1(陽極電極たるITO電極)を備える他、1本の電源配線PW(1)と、1本のゲート配線G_i(1)および1本の制御配線E_i(1)と(すなわちゲート配線2本と)、3個のTFT素子と、1個のコンデンサC1とが配置されている。この為、TFT特性のバラツキを電源配線PWから供給する均一な値の電流により補償し、設定された値の電流を有機EL素子EL1へ流すことができる。そして、従来技術に示した図14や図15の4TFT画素回路構成に比べてTFT素子が1つ少ないことから、ITO面積を広く取ることができる。従って、同一の表示輝度を得るのに必要な有機EL素子EL1の発光輝度は低くて済むので、その分有機EL素子EL1の発光輝度を下げ、有機EL素子EL1の長寿命化を図ることができる。

【0079】

また、従来技術に対して増加したゲート配線である制御配線E_i(1)は、図4に示すようにゲート配線G_i(1)とともにRGB各ドットを共通に横切る。従って、従来技術の図14や図15では、TFT領域7やゲート配線G_iの領域の他に、ソース配線S_jの為に発光に使えなかった画素エリア(RGB各1ドットで1画素を形成する)が図16のように、

画素長×(ソース配線幅Y[μm]+プロセス上の抜きP[μm])×3であったのに対し、本実施の形態に係る画素回路A_{ij}(1)の構成ではソース配線が不要であることから、図4のように、

画素幅×(ゲート配線幅Z[μm]+プロセス上の抜きP[μm])となる。多くの画素では画素幅≒画素長(=RGB各ドットの長さ=RGB各ドットの幅X[μm]×3)なので、上記差の分だけ本実施の形態の表示装置の方

がITO領域8の面積（即ち有機EL面積）を広く取ることができるので、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度をその分下げ、有機EL素子EL1の長寿命化を図ることができる。

【0080】

また、その結果、各RGBドット辺りのドット幅を広く取ることができる。これは、インクジェットプロセスなどのバンクを形成して、RGB各色の液滴を打ち込むプロセスに置いて、標的となる穴の形状を円形に近づけるので好ましい。

【0081】

以上のように、本実施の形態に係る表示装置によれば、有機EL素子EL1に設定した値の電流を流す画素回路構成を備えながら、より広い面積を透明電極に割り当てることができる。

【0082】

また、有機EL素子は流れる電流の大きさによってその明るさが変わるため、例えば、1出力からの電流のレベルが256段階に分かれていれば、256階調の表示を行うことができる。従って、単純には、設定した階調数を表現するのに、階調数と同じ個数の電流値を用いることが考えられる。しかし、実際には微小な電流を扱うため、特に電流源回路をTFT素子で構成している場合などには技術的な問題から達成できる電流値の数が階調数よりも少なくなることがある。また、最低でも発光素子が光っている状態と光っていない状態とに分ける場合には、電流値はゼロを含めて2つ以上必要になる。こうした制約の中で所定の階調数を得るためには、例えば足りない電流値の数を補うように所定期間内に複数回発光動作を繰り返し、その回数と発光時間とを掛け合わせることでビット数に対応する重みをつけて階調を表現する時間分割法を用いることが考えられる。よって、電流源回路2は、階調を表現するために、最低でも電流値を2以上の複数の値を持つようにし、本実施の形態では少なくとも発光と非発光とに分けるためにゼロの場合を含めて2以上の複数の値を持つようにしている。発光回数と共に電流値を複数の値に設定することにより、回路の設計および素子の駆動条件設定が容易になる利点が生じる。

【0083】

これに従って、前述の例では多階調表示を行うようにしている。すなわち、図 3 において第 1 ～ 第 3 フィールド期間を設けたように、第 1 の動作を行うとともに第 1 の動作の後に第 2 の動作を行うことを、1 フレーム期間という所定期間に複数回行う。これは、1 フレーム期間内に複数回（上記例では 3 回）、電流設定動作＋発光動作を行うことに等しい。前述した 1 : 2 : 4 といった比率の期間を組み合わせることにより、1 フレーム期間に有機 EL 素子 EL 1 に電流が流された期間の長さの総和を変えることができるので、この総和に応じて、電流源回路 2 の電流値の数以上に細かい階調表示を確保することができる。例えば 1 : 2 : 4 では 8 階調表示を行うことができる。

【0084】

特に、電源配線 PW (1) に接続される電流源回路 2 が TFT 等で作られている場合には、電流源回路 2 から出力することのできる電流値の数に制限がある、すなわち出力電流値の数がゼロを含めて 2 以上のある整数値に制限される場合が多いので、上述した階調表示が有効である。

【0085】

なお、本実施の形態では表示装置として有機 EL ディスプレイを例に挙げたが、FED (Field Emission Display) などの表示装置として実現することもできる。

【0086】

〔実施の形態 2〕

本発明の他の実施の形態について図 5 および図 6 を用いて説明すれば以下の通りである。なお、前記実施の形態 1 で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0087】

図 5 に、本実施の形態に係る表示装置の画素回路 A_{ij} (2) を示す。画素回路 A_{ij} (2) は画素 1 つ分を示し、RGB の各画素があればその 1 つ分を示す。

【0088】

画素回路 A_{ij} (2) には、電流駆動型の有機 EL 素子 EL 2、n 型の TFT

素子Q4・Q5、p型のTF T素子Q6、コンデンサC2、ゲート配線Gi(2)、電源配線PW(2)、および制御配線Ei(2)が配置されている。

【0089】

電源配線(第1の配線)PW(2)にTF T素子(第2のアクティブ素子)Q6が接続されている。TF T素子Q6のゲート端子はゲート配線(第2の配線)Gi(2)に接続されている。また、TF T素子Q6の電源配線PW(2)との接続点と反対側に、TF T素子(第1のアクティブ素子)Q4と有機EL素子EL1とが、TF T素子Q4をTF T素子Q6側として直列に接続されている。有機EL素子EL2の陽極はTF T素子Q4側となっている。

【0090】

コンデンサ(電荷保持手段)C2はTF T素子Q4のゲート端子とソース端子との間に接続されている。TF T素子(第3のアクティブ素子)Q5はTF T素子Q4のドレイン端子とゲート端子との間に接続されている。TF T素子Q5のゲート端子は制御配線(第3の配線)Eiに接続されている。

【0091】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機EL素子EL2に流す電流の値を設定し、有機EL素子EL2を上記値の電流で駆動するものである。電源配線PW(2)は、有機EL素子EL2に電流を流すための配線である。従って、上述の内容から分かるように、TF T素子Q4は、電源配線PW(2)から有機EL素子EL2に上記電流を流す経路に有機EL素子EL2と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がハイ側であるほど導通抵抗は小さく、ロー側であるほど導通抵抗は大きくなる。また、TF T素子Q6は上記経路に有機EL素子EL2およびTF T素子Q4と直列に挿入されたスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0092】

そしてコンデンサC2は、蓄積した電荷に応じた電圧をTF T素子Q4の導通抵抗の制御電圧としてTF T素子Q4のゲート・ソース間に印加する。TF T素

子Q5は、コンデンサC2に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC2への電荷供給を可能にし、遮断されている間はコンデンサC2に蓄積した電荷を保持させる。

【0093】

また、制御配線E_i(2)およびゲート配線G_i(2)は、各画素内で電源配線PW(2)と直交しており、制御配線E_i(2)はTF T素子Q5のスイッチング状態を決める電圧(導通／遮断用の制御電圧)をTF T素子Q5のゲート端子に印加し、ゲート配線G_i(2)はTF T素子Q6のスイッチング状態を決める電圧(導通／遮断用の制御電圧)をTF T素子Q6のゲート端子に印加する。

【0094】

上記構成の画素回路A_{ij}(2)も、実施の形態1で述べた図2の構成のようにm×nのマトリックスをなして表示装置を構成する。このような構成の表示装置の動作を図6を用いて説明する。図6は実施の形態1の図3に対応させて図示してある。

【0095】

1フレーム期間や第1～第3フィールド期間、第1の動作および第2の動作の期間の設定は図3の場合と同じである。異なるところは、ゲート配線G_i(2)の電圧状態と制御配線E_i(2)の電圧状態とが、実施の形態1のゲート配線G_i(1)の電圧状態と制御配線E_i(1)の電圧状態とを入れ替えたものとなっていることである。このように電圧状態の入れ替わりはあるが、TF T素子Q4、TF T素子Q5、TF T素子Q6、コンデンサC2の動作は、順に、図1のTF T素子Q1、TF T素子Q2、TF T素子Q3、コンデンサC1の果たす役割と同じである。

【0096】

本実施の形態に係る画素回路A_{ij}(2)では、1画素(=1ドット)は、有機EL素子EL2(陽極電極たるITO電極)を備える他、1本の電源配線PW(2)と、1本のゲート配線G_i(2)と1本の制御配線E_i(2)と(すなわ

ちゲート配線 2 本)、3 個の T F T 素子と、1 個のコンデンサ C 2 とが配置されている。従って、実施の形態 1 と同様に、透明電極の面積を広く取ることができる。また、その他の効果が実施の形態 1 と同様に得られることは明らかである。

【0097】

〔実施の形態 3〕

本発明のさらに他の実施の形態について図 7 および図 8 に基づいて説明すれば以下の通りである。なお、前記実施の形態 1 および 2 で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0098】

図 7 に、本実施の形態に係る表示装置の画素回路 A i j (3) を示す。画素回路 A i j (3) は画素 1 つ分を示し、R G B の各画素があればその 1 つ分を示す。

【0099】

画素回路 A i j (3) には、電流駆動型の有機 E L 素子 E L 3、p 型の T F T 素子 Q 7・Q 9、n 型の T F T 素子 Q 8、コンデンサ C 3、ゲート配線 G i (3)、電源配線 P W (3)、および制御配線 E i (3) が配置されている。

【0100】

電源配線 (第 1 の配線) P W (3) に T F T 素子 (第 2 のアクティブ素子) Q 9 が接続されている。T F T 素子 Q 9 のゲートは制御配線 (第 2 の配線) E i (3) に接続されている。また、T F T 素子 Q 9 の電源配線 P W (3) との接続点と反対側に、T F T 素子 (第 1 のアクティブ素子) Q 7 と有機 E L 素子 E L 3 とが、T F T 素子 Q 7 を T F T 素子 Q 9 側として直列に接続されている。有機 E L 素子 E L 3 の陰極は T F T 素子 Q 7 側となっている。

【0101】

コンデンサ (電荷保持手段) C 3 は T F T 素子 Q 7 のゲート端子とソース端子との間に接続されている。T F T 素子 (第 3 のアクティブ素子) Q 8 は T F T 素子 Q 7 のドレイン端子とゲート端子との間に接続されている。T F T 素子 Q 8 のゲート端子はゲート配線 (第 3 の配線) G i (3) に接続されている。

【0102】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機EL素子EL3に流す電流の値を設定し、有機EL素子EL3を上記値の電流で駆動するものである。電源配線PW(3)は、有機EL素子EL3に電流を流すための配線である。なお、電源配線PW(3)において電流が流れる向きは、実施の形態1の電源配線PW(1)および実施の形態2の電源配線PW(2)とは逆である。従って、上述の内容から分かるように、TF T素子Q7は、電源配線PW(3)から有機EL素子EL3に上記電流を流す経路に有機EL素子EL3と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。また、TF T素子Q9は上記経路に有機EL素子EL3およびTF T素子Q7と直列に挿入されたスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0103】

そしてコンデンサC3は、蓄積した電荷に応じた電圧をTF T素子Q7の導通抵抗の制御電圧としてTF T素子Q7のゲート・ソース間に印加する。TF T素子Q8は、コンデンサC3に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC3への電荷供給を可能にし、遮断されている間はコンデンサC3に蓄積した電荷を保持させる。

【0104】

また、制御配線Ei(3)およびゲート配線Gi(3)は、各画素内で電源配線PW(3)と直交しており、制御配線Ei(3)はTF T素子Q9のスイッチング状態を決める電圧（導通／遮断用の制御電圧）をTF T素子Q9のゲート端子に印加し、ゲート配線Gi(3)はTF T素子Q8のスイッチング状態を決める電圧（導通／遮断用の制御電圧）をTF T素子Q8のゲート端子に印加する。

【0105】

上記構成の画素回路Aij(3)も、実施の形態1で述べた図2の構成のよう

に $m \times n$ のマトリックスをなして表示装置を構成する。このような構成の表示装置の動作を図8を用いて説明する。図8は実施の形態1の図3に対応させて図示してある。

【0106】

1フレーム期間や第1～第3フィールド期間、第1の動作および第2の動作の期間の設定は実施の形態1と同じであり、ゲート配線 $G_i(3)$ と制御配線 $E_i(3)$ とのハイ状態およびロー状態の関係は、実施の形態1のゲート配線 $G_i(1)$ と制御配線 $E_i(1)$ とのハイ状態およびロー状態の関係と同じである。ただし、電源配線 $PW(3)$ が電圧源回路6に接続されるときには、電圧源回路6の出力端子電位は有機EL素子 $EL3$ の陽極側電位よりも低く設定され、これは、実施の形態1において電圧源回路6の出力端子電位が有機EL素子 $EL1$ の陰極側電位よりも高く設定されること、および、実施の形態2において電圧源回路6の出力端子電位が有機EL素子 $EL2$ の陰極側電位よりも高く設定されることと異なっている。このように電圧の極性について実施の形態1および2と異なっているところはあるが、TFT素子 $Q7$ 、TFT素子 $Q8$ 、TFT素子 $Q9$ 、コンデンサ $C3$ の動作は、順に、図3のTFT素子 $Q1$ 、TFT素子 $Q2$ 、TFT素子 $Q3$ 、コンデンサ $C1$ と同じである。

【0107】

本実施の形態に係る画素回路 $A_{ij}(3)$ では、1画素(=1ドット)は、有機EL素子 $EL3$ (陽極電極たるITO電極)を備える他、1本の電源配線 $PW(3)$ と、1本のゲート配線 $G_i(3)$ と1本の制御配線 $E_i(3)$ と(すなわちゲート配線2本)、3個のTFT素子と、1個のコンデンサ $C3$ とが配置されている。従って、実施の形態1と同様に、透明電極の面積を広く取ることができる。また、その他の効果が実施の形態1と同様に得られることは明らかである。

【0108】

〔実施の形態4〕

本発明のさらに他の実施の形態について図9および図10に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし3で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0109】

図9に、本実施の形態に係る表示装置の画素回路 A_{ij} (4)を示す。画素回路 A_{ij} (4)は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

【0110】

画素回路 A_{ij} (4)には、電流駆動型の有機EL素子EL4、n型のTFT素子 Q_{10} ・ Q_{11} 、p型のTFT素子 Q_{12} 、コンデンサC4、ゲート配線 G_i (4)、電源配線PW (4)、および制御配線 E_i (4)が配置されている。

【0111】

電源配線(第1の配線)PW (4)にTFT素子(第2のアクティブ素子) Q_{12} が接続されている。TFT素子 Q_{12} のゲート端子はゲート配線(第2の配線) G_i (4)に接続されている。また、TFT素子 Q_{12} の電源配線PW (4)との接続点と反対側に、TFT素子(第1のアクティブ素子) Q_{10} と有機EL素子EL4とが、TFT素子 Q_{10} をTFT素子 Q_{12} 側として直列に接続されている。有機EL素子EL4の陽極はTFT素子 Q_{10} 側となっている。

【0112】

コンデンサ(電荷保持手段)C4はTFT素子 Q_{10} のゲート端子とソース端子との間に接続されている。TFT素子(第3のアクティブ素子) Q_{11} はTFT素子 Q_{10} のゲート端子と電源配線PW (4)との間に接続されている。TFT素子 Q_{11} のゲート端子は制御配線(第3の配線) E_i に接続されている。

【0113】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機EL素子EL4に流す電流の値を設定し、有機EL素子EL4を上記値の電流で駆動するものである。電源配線PW (4)は、有機EL素子EL4に電流を流すための配線である。従って、上述の内容から分かるように、TFT素子 Q_{10} は、電源配線PW (4)から有機EL素子EL4に上記電流を流す経路に有機EL素子EL4と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がハイ側であるほど導通抵抗は小さく、ロー側であるほど導通抵抗は大きくなる。また、TFT素子 Q_{12} は上記経路に有機

EL素子EL4およびTF T素子Q10と直列に挿入されたスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0114】

そしてコンデンサC4は、蓄積した電荷に応じた電圧をTF T素子Q10の導通抵抗の制御電圧としてTF T素子Q10のゲート・ソース間に印加する。TF T素子Q11は、コンデンサC4に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC4への電荷供給を可能にし、遮断されている間はコンデンサC4に蓄積した電荷を保持させる。

【0115】

また、制御配線Ei(4)およびゲート配線Gi(4)は、各画素内で電源配線PW(4)と直交しており、制御配線Ei(4)はTF T素子Q11のスイッチング状態を決める電圧（導通／遮断用の制御電圧）をTF T素子Q11のゲート端子に印加し、ゲート配線Gi(4)はTF T素子Q12のスイッチング状態を決める電圧（導通／遮断用の制御電圧）をTF T素子Q12のゲート端子に印加する。

【0116】

上記構成の画素回路Aij(4)も、実施の形態1で述べた図2の構成のようにm×nのマトリックスをなして表示装置を構成する。このような構成の表示装置の動作を図10を用いて説明する。図10は実施の形態1の図3に対応させて図示してある。

【0117】

1フレーム期間や第1～第3フィールド期間、第1の動作および第2の動作の期間の設定は図3の場合と同じである。異なるところは、ゲート配線Gi(4)の電圧状態と制御配線Ei(4)の電圧状態とが、実施の形態1のゲート配線Gi(1)の電圧状態と制御配線Ei(1)の電圧状態とを入れ替えたものとなっていることである。このように電圧状態の入れ替わりはあるが、TF T素子Q1

0、TFT素子Q11、TFT素子Q12、コンデンサC4の動作は、順に、図3のTFT素子Q1、TFT素子Q2、TFT素子Q3、コンデンサC1の動作と同じである。

【0118】

本実施の形態に係る画素回路Aij(4)では、1画素(=1ドット)は、有機EL素子EL4(陽極電極たるITO電極)を備える他、1本の電源配線PW(4)と、1本のゲート配線Gi(4)と1本の制御配線Ei(4)と(すなわちゲート配線2本)、3個のTFT素子と、1個のコンデンサC4とが配置されている。従って、実施の形態1と同様に、透明電極の面積を広く取ることができる。また、その他の効果が実施の形態1と同様に得られることは明らかである。

【0119】

[実施の形態5]

本発明のさらに他の実施の形態について図11および図12に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし4で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0120】

図11に、本実施の形態に係る表示装置の画素回路Aij(5)を示す。画素回路Aij(5)は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

【0121】

画素回路Aij(5)には、電流駆動型の有機EL素子EL5、p型のTFT素子Q13、n型のTFT素子Q14・Q15・Q16、コンデンサC5、ゲート配線Gi(5)、電源配線PW(5)、および制御配線Ei(5)が配置されている。

【0122】

電源配線(第1の配線)PW(5)にTFT素子(第1のアクティブ素子)Q13とコンデンサ(電荷保持手段)C5とが接続されている。コンデンサC5はTFT素子Q13のゲート端子とソース端子との間に接続されている。そのTFT素子Q13に、TFT素子(第2のアクティブ素子)Q15と有機EL素子(

電気光学素子) EL5 とが、TFT 素子 Q15 を TFT 素子 Q13 側として順に接続されている。TFT 素子 Q15 のゲート端子は制御配線 (第2の配線) Ei (5) に接続されている。有機 EL 素子 EL5 は、陽極が TFT 素子 Q15 側となるように接続されている。

【0123】

また、TFT 素子 Q13 のゲート端子と、TFT 素子 Q13 と TFT 素子 Q15 との接続点との間に、TFT 素子 (第3のアクティブ素子) Q14 が接続されている。この TFT 素子 Q14 のゲート端子はゲート配線 (第3の配線) Gi (5) に接続されている。また、TFT 素子 (第4のアクティブ素子) Q16 は、TFT 素子 Q13 と TFT 素子 Q15 との接続点と、制御配線 Ei (5) との間に接続されている。TFT 素子 Q16 のゲート端子はゲート配線 Gi (5) に接続されている。

【0124】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機 EL 素子 EL5 に流す電流の値を設定し、有機 EL 素子 EL5 を上記値の電流で駆動するものである。電源配線 PW (5) は、有機 EL 素子 EL5 に電流を流すための配線である。有機 EL 素子 EL5 に電流を流すときには、後述するように TFT 素子 Q15 は導通し、TFT 素子 Q16 は遮断される。従って、上述の内容から分かるように、TFT 素子 Q13 は、電源配線 PW (5) から有機 EL 素子 EL5 に上記電流を流す経路に有機 EL 素子 EL5 と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。また、TFT 素子 Q15 は上記経路に有機 EL 素子 EL5 および TFT 素子 Q13 と直列に挿入されたスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0125】

そしてコンデンサ C5 は、蓄積した電荷に応じた電圧を TFT 素子 Q13 の導通抵抗の制御電圧として TFT 素子 Q13 のゲート端子に印加する。TFT 素子

Q14は、コンデンサC5に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通／遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC5への電荷供給を可能にし、遮断されている間はコンデンサC5に蓄積した電荷を保持させる。TFT素子Q16は、ゲート端子を導通／遮断用の制御端子とする。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。

【0126】

また、制御配線Ei(5)およびゲート配線Gi(5)は、各画素内で電源配線PW(5)と直交しており、制御配線Ei(5)はTFT素子Q15のスイッチング状態を決める電圧(導通／遮断用の制御電圧)をTFT素子Q15のゲート端子に印加し、ゲート配線Gi(5)はTFT素子Q14・Q16のスイッチング状態を決める電圧(導通／遮断用の制御電圧)をTFT素子Q14・Q16のゲート端子に印加する。

【0127】

この画素回路Aij(5)も、実施の形態1で図2を用いて説明したように、 $m \times n$ のマトリックス状に配置することで表示装置を形成することができる。

【0128】

次に、この表示装置の駆動方法を図12を用いて説明する。なお、図12も実施の形態1の図3に対応させて図示してある。

【0129】

同図に示すように、表示装置の1フレーム期間は期間0～37tの38t期間であり、最初の10t期間が第1フィールド期間であり、次の12t期間が第2フィールド期間であり、最後の16t期間が第3フィールド期間である。そして、第1フィールド期間の期間0～7tに渡り制御配線Timがハイ状態となり、図11の電源配線PW(5)は電流源回路2に接続される。

【0130】

この間、電流源回路2から電源配線PW(5)を介して画素回路A1j～A6jに、それぞれの第1ビットに対応した電流が供給される。このとき、ゲート配

線 $G_1(5) \sim G_6(5)$ のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつハイ状態となり、制御配線 $E_1(5) \sim E_6(5)$ のそれぞれはロー状態を保つ。

【0131】

この各ゲート配線 $G_i(5)$ がハイ状態で各制御配線 $E_i(5)$ がロー状態であるとき、画素回路 $A_{ij}(5)$ では TFT 素子 Q_{14} と TFT 素子 Q_{16} とが導通状態、TFT 素子 Q_{15} が遮断状態となり、電流源回路 2 より供給された電流は電源配線 $PW(5)$ と TFT 素子 Q_{13} と TFT 素子 Q_{16} とを通過して、制御配線 $E_i(5)$ に流れ込む。

【0132】

このとき、TFT 素子 Q_{13} のゲート・ソース間電圧は、与えられた値の電流を TFT 素子 Q_{13} が通すように設定される。これは、TFT 素子 Q_{13} のゲート電位が低いとき（ゲート・ソース間電圧が大きいとき）、より多くの電流を流してしまうので、電源配線 $PW(5)$ の電位（ソース電位）が下がり、TFT 素子 Q_{13} のゲート・ソース間電圧が電流源回路 2 より供給された電流を流すよう調整されるからである。また、これは、TFT 素子 Q_{13} のゲート電位が高いとき（ゲート・ソース間電圧が低いとき）、余り電流が流れないので、電源配線 $PW(5)$ の電位（ソース電位）が上がって、TFT 素子 Q_{13} のゲート・ソース間電圧が電流源回路 2 より供給された電流を流すよう調整されるからである。TFT 素子 Q_{13} のゲート・ソース間電圧はコンデンサ C_5 の端子間電圧として設定される。

【0133】

また、同時に同一列の 2 つの画素回路 $A_{ij}(5)$ へ電流源回路 2 より電流が流れないように、選択されていない画素回路 $A_{ij}(5)$ の各ゲート配線 $G_i(5)$ および各制御配線 $E_i(5)$ はロー状態となっている。これにより、同一列に設けられている各画素回路 $A_{ij}(1)$ への電流値設定を可能にしている。電流の値の設定が終了すると、その画素のゲート配線 $G_i(5)$ はロー状態となる。このとき、TFT 素子 $Q_{14} \cdot Q_{16}$ はともに遮断される。これにより、コンデンサ C_5 は端子間電圧を保持する。

【0134】

このように、第1フィールド期間の期間0～7tにおいて各画素回路A_{ij} (5)のゲート配線G_i (5)がハイ状態で制御配線E_i (5)がロー状態となる期間は、電流源回路2を電源配線PW (5)に接続して各画素に有機EL素子EL5に流す電流の値を設定する第1の動作を行う期間となっている。

【0135】

そして、第1フィールド期間の期間8t～9tに渡り制御配線T_{im}がロー状態となり、電源配線PW (5)は電圧源回路6に接続される。このとき、各画素回路A_{ij} (5)のゲート配線G_i (5)はロー状態のままで制御配線E_i (5)が一斉にハイ状態となり、電圧源回路6より、各画素回路A_{ij} (5)のTFT素子Q13に設定された値の電流が、有機EL素子EL5に流れる。このとき、TFT素子Q14・Q16は遮断状態のままであり、TFT素子Q15は導通状態となる。またこのとき、各画素の有機EL素子EL5には、その他の画素の有機EL素子EL5の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0136】

このように、第1フィールド期間の期間8t～9tは、電圧源回路6を電源配線PW (5)に接続して各画素の有機EL素子EL5に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0137】

次に、第2フィールド期間となり、期間10t～17tに渡り制御配線T_{im}がハイ状態となり、電源配線PW (5)は電流源回路2に接続される。この間、電流源回路2から電源配線PW (5)を介して画素回路A1j～A6jに、それぞれの第2ビットに対応した電流が供給される。このとき、ゲート配線G1 (5)～G6 (5)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線E1 (5)～E6 (5)のそれぞれはロー状態を保つ。

【0138】

このように、第2フィールド期間の期間10t～17tにおいて各画素回路A

i, j (5) のゲート配線 G_i (5) がハイ状態で制御配線 E_i (5) がロー状態となる期間は、電流源回路 2 を電源配線 PW (5) に接続して各画素に有機 EL 素子 EL_5 に流す電流の値を設定する第 1 の動作を行う期間となっている。

【0139】

そして、第 2 フィールド期間の期間 $18t \sim 21t$ に渡りの制御配線 T_{im} がロー状態となり、電源配線 PW (5) は電圧源回路 6 に接続される。このとき、各画素回路 A_{ij} (5) のゲート配線 G_i (5) がロー状態のままで制御配線 E_i (5) は一斉にハイ状態となり、電圧源回路 6 より、各画素回路 A_{ij} (5) の TFT 素子 Q_{13} に設定された値の電流が、有機 EL 素子 EL_5 に流れる。このとき、各画素の有機 EL 素子 EL_5 には、その他の画素の有機 EL 素子 EL_5 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0140】

このように、第 2 フィールド期間の期間 $18t \sim 21t$ は、電圧源回路 6 を電源配線 PW (5) に接続して各画素の有機 EL 素子 EL_5 に上記第 1 の動作で設定した値の電流を流す第 2 の動作を行う期間となっている。

【0141】

最後に、第 3 フィールド期間となり、期間 $22t \sim 29t$ に渡り、制御配線 T_{im} がハイ状態となり、電源配線 PW (5) は電流源回路 2 に接続される。この間、電流源回路 2 から電源配線 PW (5) を介して画素回路 $A_{1j} \sim A_{6j}$ に、それぞれの第 3 ビットに対応した電流が供給される。このとき、ゲート配線 G_1 (5) $\sim G_6$ (5) のそれぞれは、図示されるように対応するタイミングで順次 $1t$ 期間ずつハイ状態となり、制御配線 E_1 (5) $\sim E_6$ (5) のそれぞれはロー状態を保つ。

【0142】

このように、第 3 フィールド期間の期間 $22t \sim 29t$ において各画素回路 A_{ij} (5) のゲート配線 G_i (5) がハイ状態で制御配線 E_i (5) がロー状態となる期間は、電流源回路 2 を電源配線 PW (5) に接続して各画素に有機 EL 素子 EL_5 に流す電流の値を設定する第 1 の動作を行う期間となっている。

【0143】

そして、第3フィールド期間の期間 $30t \sim 37t$ に渡り、制御配線 T_{im} がロー状態となり、電源配線 $PW(5)$ は電圧源回路6に接続される。このとき、各画素回路 $A_{ij}(5)$ のゲート配線 $G_i(5)$ がロー状態のままで制御配線 $E_i(5)$ は一斉にハイ状態となり、電圧源回路6より、各画素回路 $A_{ij}(5)$ のTFT素子 Q_{13} に設定された値の電流が、有機EL素子 EL_5 に流れる。このとき、各画素の有機EL素子 EL_5 には、その他の画素の有機EL素子 EL_5 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0144】

このように、第3フィールド期間の期間 $30t \sim 37t$ は、電圧源回路6を電源配線 $PW(5)$ に接続して各画素の有機EL素子 EL_5 に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0145】

上述の画素回路 $A_{ij}(5)$ の駆動方法では、第1の動作を行う期間には有機EL素子 EL_5 には電流を流さず、第2の動作を行う期間にのみ有機EL素子 EL_5 に電流を流すようにしている。従って、第1～第3フィールド期間の発光可能期間の比率は第2の動作を行う期間の比率に等しく、1:2:4となっている。

【0146】

本実施の形態に係る画素回路 $A_{ij}(5)$ では、1画素(=1ドット)は、有機EL素子 EL_5 (陽極電極たるITO電極)を備える他、1本の電源配線 $PW(5)$ と、1本のゲート配線 $G_i(5)$ と1本の制御配線 $E_i(5)$ と(すなわちゲート配線2本)、4個のTFT素子と、1個のコンデンサ C_5 とが配置されている。また、従来技術に対して増加したゲート配線である制御配線 $E_i(5)$ は、前述の図4に示したのと同じように、ゲート配線 $G_i(5)$ とともにRGB各ドットを共通に横切る。このことと、ソース配線が不要であることから、TFT素子が4つであっても本実施の形態の表示装置は、従来技術の図14や図15の画素回路を用いた構成の表示装置よりも、ITO領域の面積(即ち有機EL

面積)を広く取ることができる。従って、その分、有機EL素子EL5の発光輝度を下げ、有機EL素子EL5の長寿命化を図ることができる。

【0147】

また、その結果、各RGBドット辺りのドット幅を広く取ることができる。これは、インクジェットプロセスなどのバンクを形成して、RGB各色の液滴を打ち込むプロセスに置いて、標的となる穴の形状を円形に近づけるので好ましい。

【0148】

以上のように、本実施の形態に係る表示装置によれば、有機EL素子EL5に設定した値の電流を流す画素回路構成を備えながら、より広い面積を透明電極に割り当てることができる。

【0149】

実施の形態1で述べたその他の効果が同様に得られることは明らかである。

【0150】

【発明の効果】

本発明の表示装置は、以上のように、上記各画素には、上記電気光学素子に上記電流を流すための第1の配線と、上記第1の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1のアクティブ素子と、上記経路に上記電気光学素子および上記第1のアクティブ素子と直列に挿入されるとともに導通／遮断用の制御端子を有する第2のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1のアクティブ素子の導通抵抗の制御電圧として上記第1のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通／遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第3のアクティブ素子と、上記第2のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第2の配線と、上記第3のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第3の配線とが配置されている構成である。

【0151】

それゆえ、アクティブ素子は1画素につき3個、コンデンサなどの電荷保持手

段が 1 個、さらに配線が 3 本あればよく、また、第 2 および第 3 の配線は、カラー表示装置の場合に R G B 各画素に共通に設けることができる。従って、従来の 4 T F T 画素回路構成よりもアクティブ素子が 1 つ少なくて済むことから、また、従来のソース配線が不要であることから、透明電極の面積を大きくとることができる。

【 0 1 5 2 】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができるという効果を奏する。またこれにより、例えば同一の表示輝度を得るために必要な有機 E L 素子の発光輝度を低下させることができ、その輝度寿命を改善されるという効果を奏する。

【 0 1 5 3 】

また、本発明の表示装置は、以上のように、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第 1 の配線と、上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 のアクティブ素子と、上記経路に上記電気光学素子および上記第 1 のアクティブ素子と直列に挿入されるとともに導通／遮断用の制御端子を有する第 2 のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 のアクティブ素子の導通抵抗の制御電圧として上記第 1 のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通／遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 3 のアクティブ素子と、上記第 2 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 2 の配線と、上記第 3 のアクティブ素子の制御端子に導通／遮断用の制御電圧を印加する第 3 の配線と、上記第 1 のアクティブ素子と上記第 2 のアクティブ素子との接続点と上記第 2 の配線との間に接続されるとともに、上記第 3 の配線に接続される導通／遮断用の制御端子を有する第 4 のアクティブ素子とが配置されている構成である。

【0154】

それゆえ、アクティブ素子は1画素につき4個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2および第3の配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、従来のソース配線が不要であることから、透明電極の面積を大きくとることができる。

【0155】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができるという効果を奏する。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善されるという効果を奏する。

【0156】

さらに本発明の表示装置は、以上のように、上記第1の配線には電流源回路と電圧源回路とが切り替え可能に接続される構成である。

【0157】

それゆえ、各画素に電気光学素子の電流の値を設定するときには第1の配線に電流源回路を接続してこの電流源回路からの電流で電気光学素子の電流の値を設定し、電気光学素子の電流の値を設定した後に第1の配線に電圧源回路を切り替え接続してこの電圧源回路からの印加電圧により、第2のアクティブ素子が導通状態である期間に、他の画素の電気光学素子の駆動状態に関わらずに、電気光学素子を設定した値の電流で駆動することができるという効果を奏する。

【0158】

さらに本発明の表示装置は、以上のように、上記電流源回路を上記第1の配線に接続して各画素に上記電気光学素子に流す電流の値を設定する第1の動作を行った後、上記電圧源回路を上記第1の配線に接続して各画素の上記電気光学素子に上記第1の動作で設定した値の電流を流す第2の動作を行う構成である。

【0159】

それゆえ、第1の動作により電流源回路からの電流で各画素に電気光学素子の電流の値を設定することができ、その後、第2の動作により、第1の動作で設定

された値の電流を電圧源回路から電気光学素子に流して電気光学素子を駆動することができるという効果を奏する。

【0160】

さらに本発明の表示装置は、以上のように、上記電流源回路が出力することのできる電流値は複数通りあり、上記第1の動作を行うとともに上記第1の動作の後に上記第2の動作を行うことを、所定期間に複数回行う構成である。

【0161】

それゆえ、所定期間に電気光学素子に電流が流された期間の長さの総和に応じて、電流源回路の電流値の数以上に細かい階調表示を確保することができるという効果を奏する。

【0162】

特に、第1の配線に接続される電流源回路がTFT等で作られている場合には、電流源回路から出力することのできる電流値の数に制限がある場合が多いので、上記の階調表示が有効であるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【図2】

本発明の第1の実施の形態に係る表示装置の構成を示す回路ブロック図である。

【図3】

本発明の第1の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【図4】

図1の画素回路を備える画素のレイアウトを示す平面図である。

【図5】

本発明の第2の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【図 6】

本発明の第 2 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【図 7】

本発明の第 3 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【図 8】

本発明の第 3 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【図 9】

本発明の第 4 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【図 10】

本発明の第 4 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【図 11】

本発明の第 5 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【図 12】

本発明の第 5 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【図 13】

従来の表示装置が備える画素回路の第 1 の例の構成を示す回路図である。

【図 14】

従来の表示装置が備える画素回路の第 2 の例の構成を示す回路図である。

【図 15】

従来の表示装置が備える画素回路の第 3 の例の構成を示す回路図である。

【図 16】

図 14 または図 15 の画素回路を備える画素のレイアウトの例を示す平面図で

ある。

【符号の説明】

2 電流源回路

6 電圧源回路

E L 1 ～ E L 5

有機 E L 素子（電気光学素子）

P W (1) ～ P W (5)

ソース配線兼電源配線、電源配線（第 1 の配線）

G i (1) 、 G i (3) 、 G i (5)

ゲート配線（第 3 の配線）

G i (2) 、 G i (4)

ゲート配線（第 2 の配線）

E i (1) 、 E i (3) 、 E i (5)

制御配線（第 2 の配線）

E i (2) 、 E i (4)

制御配線（第 3 の配線）

Q 1 、 Q 4 、 Q 7 、 Q 1 0 、 Q 1 3

T F T 素子（第 1 のアクティブ素子）

Q 3 、 Q 6 、 Q 9 、 Q 1 2 、 Q 1 5

T F T 素子（第 2 のアクティブ素子）

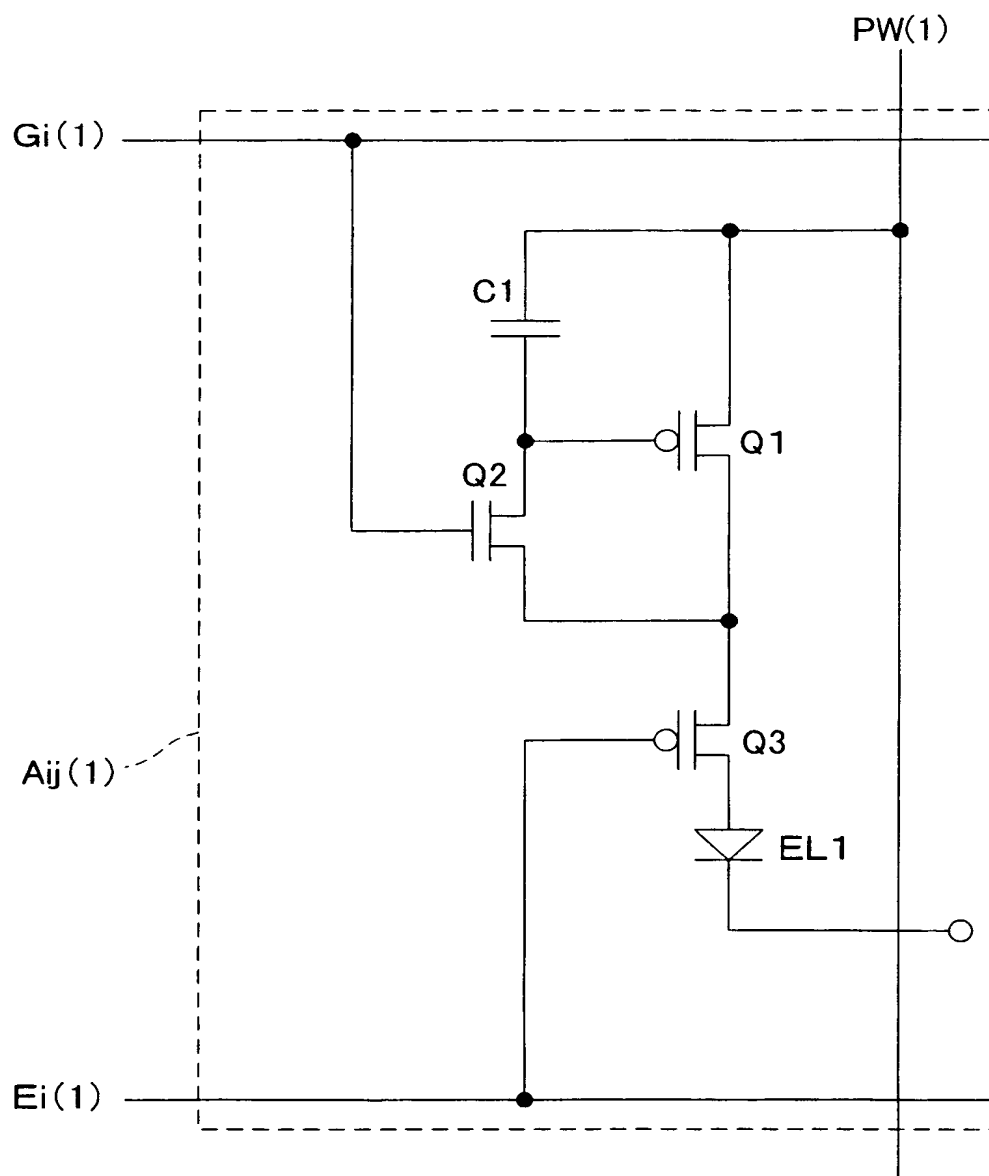
Q 2 、 Q 5 、 Q 8 、 Q 1 1 、 Q 1 4

T F T 素子（第 3 のアクティブ素子）

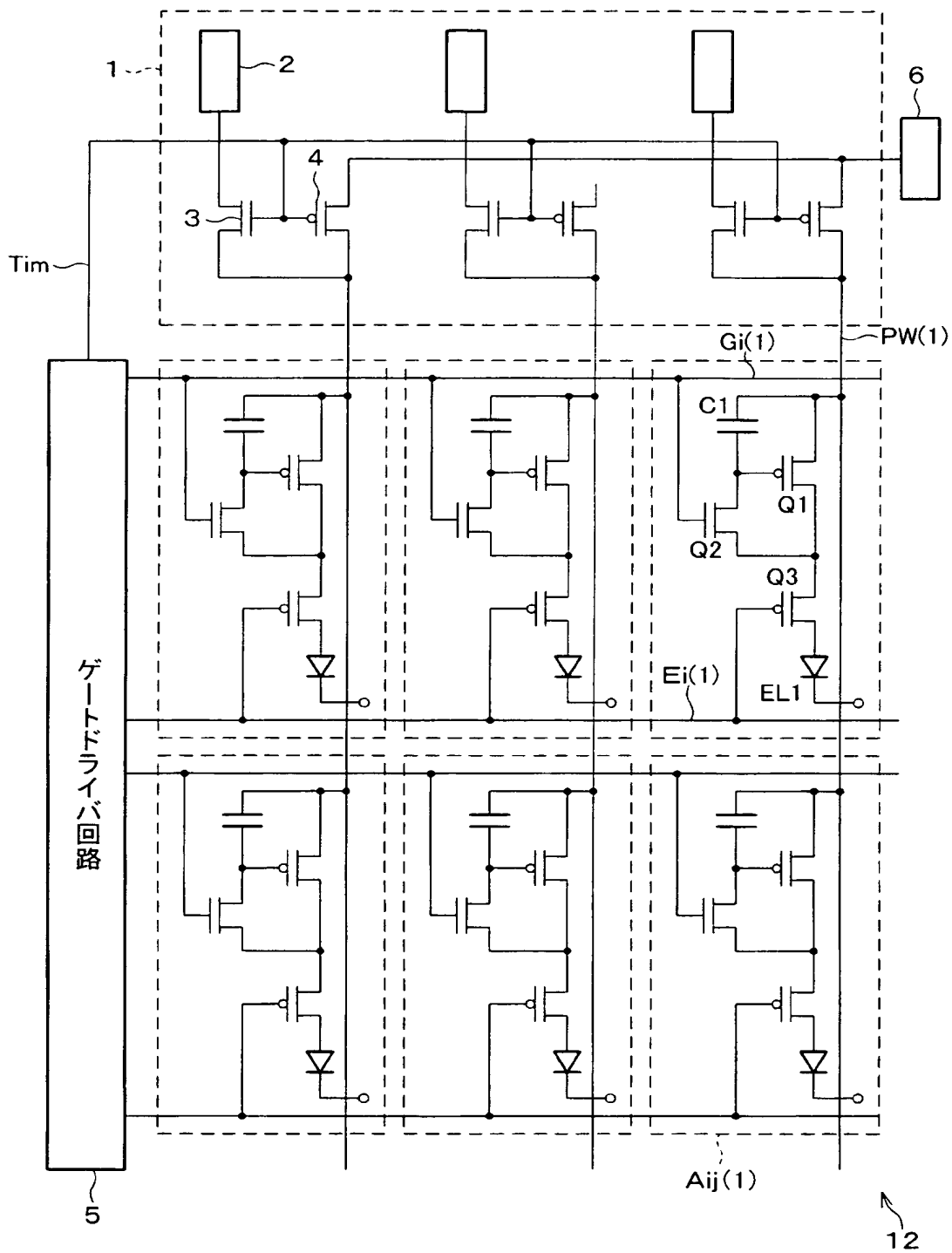
Q 1 6 T F T 素子（第 4 のアクティブ素子）

【書類名】 図面

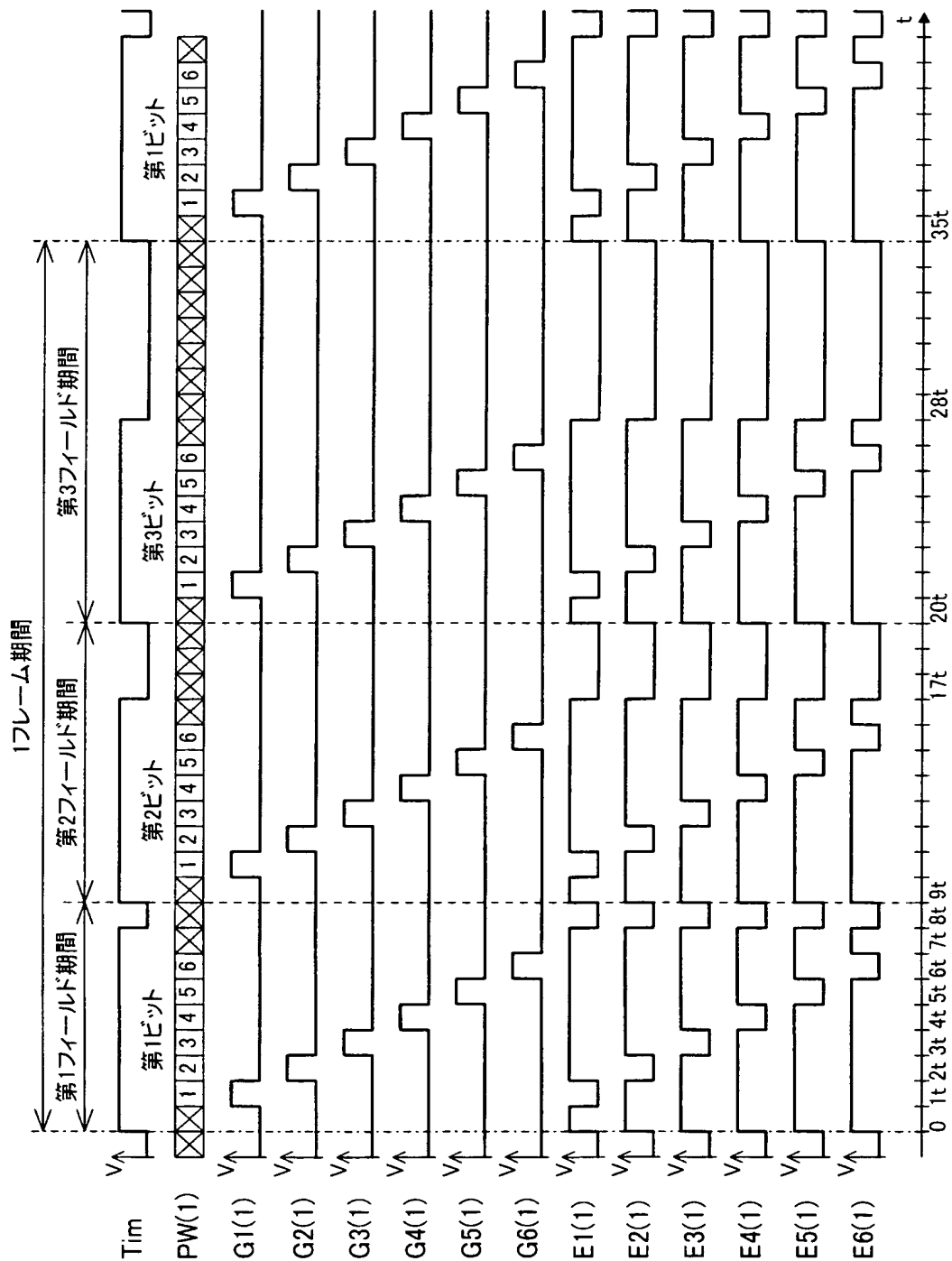
【図 1】



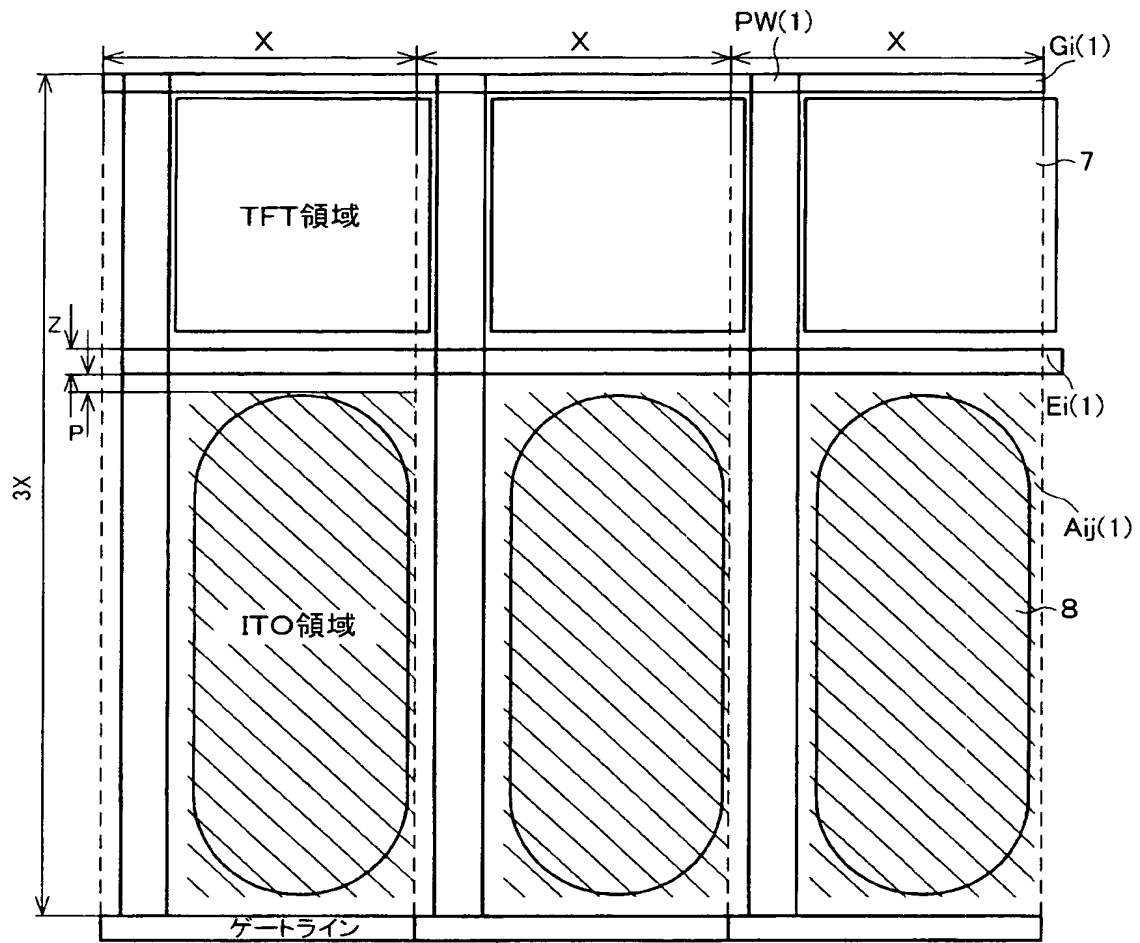
【図 2】



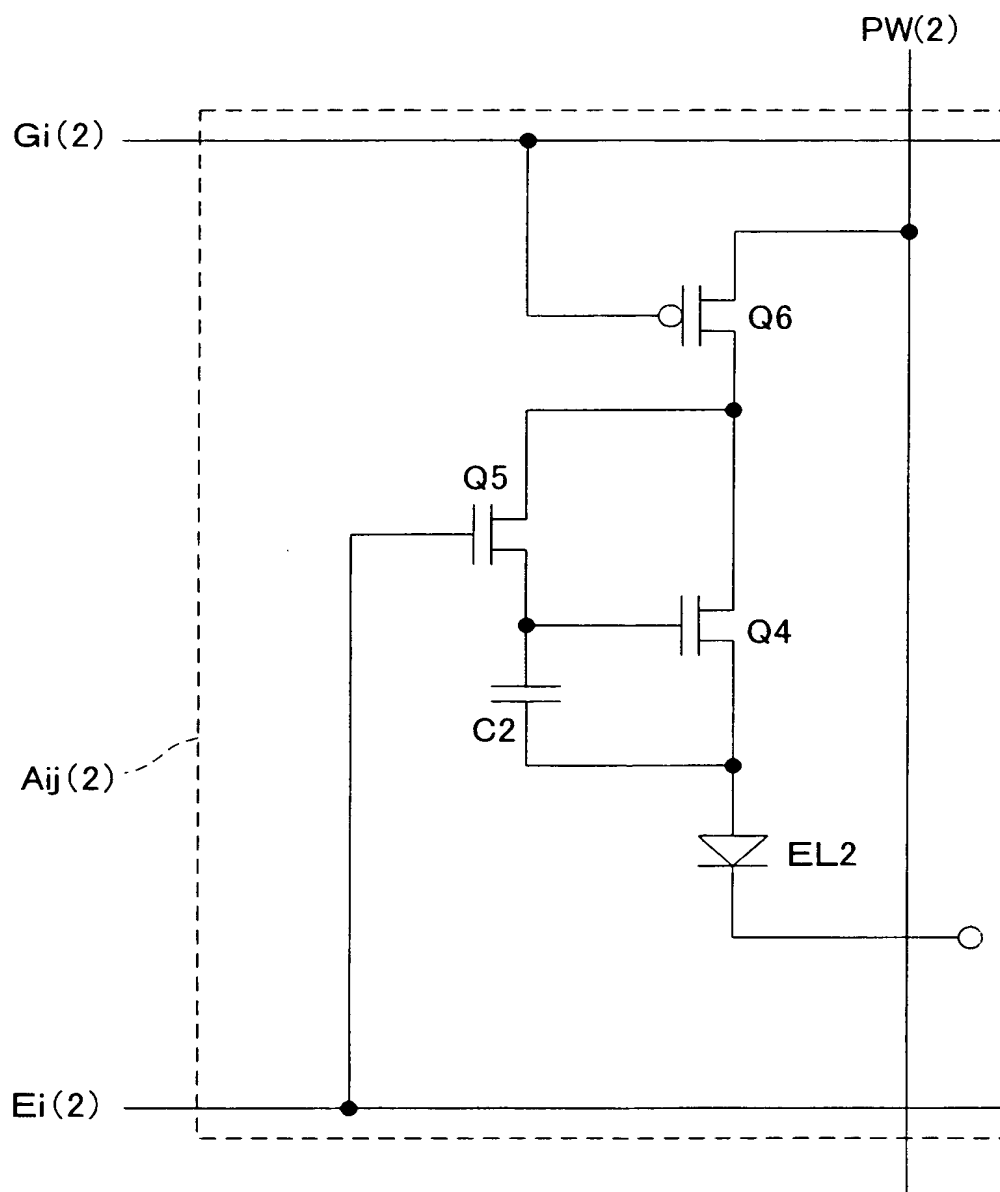
【図 3】



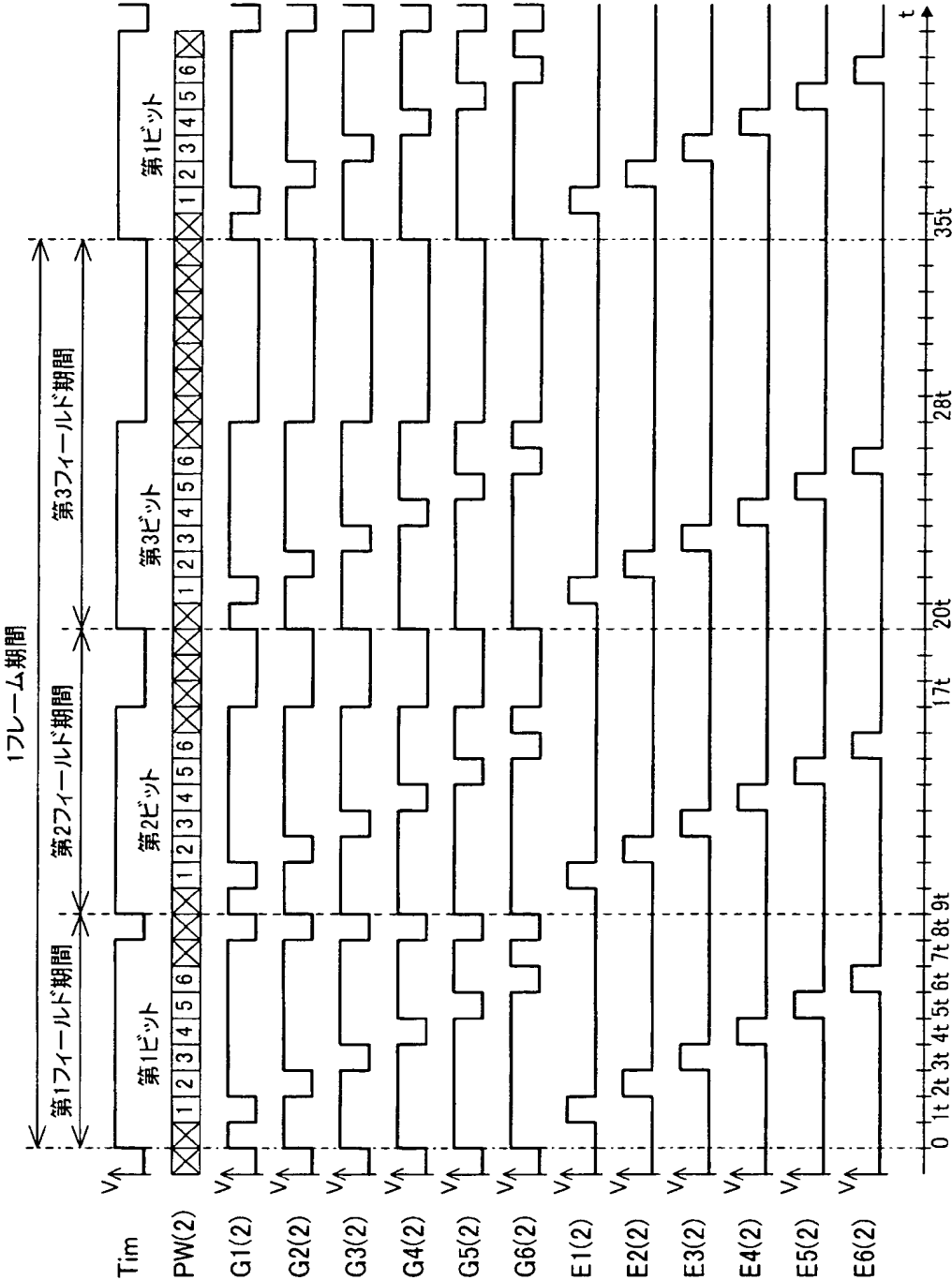
【図 4】



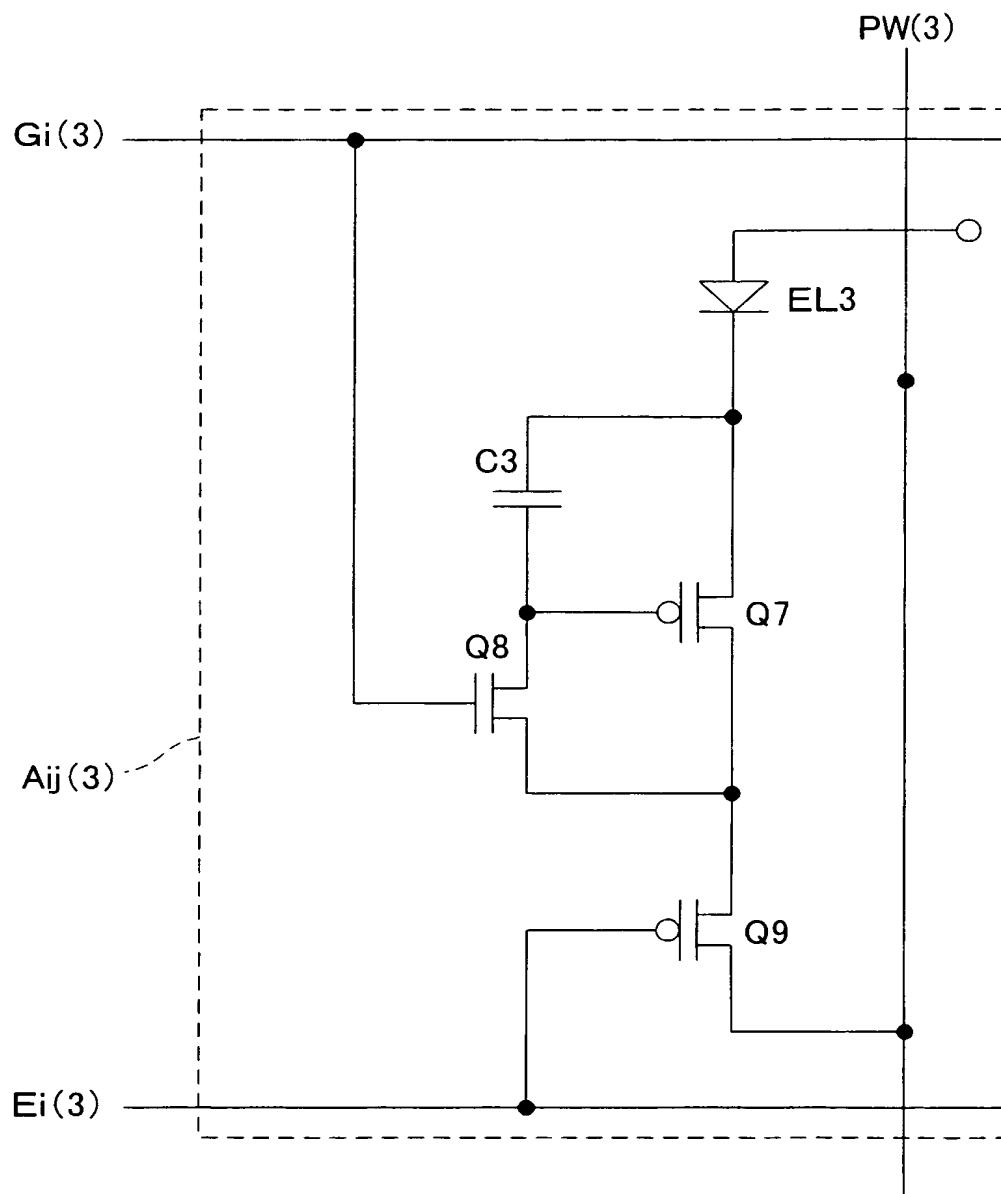
【図 5】



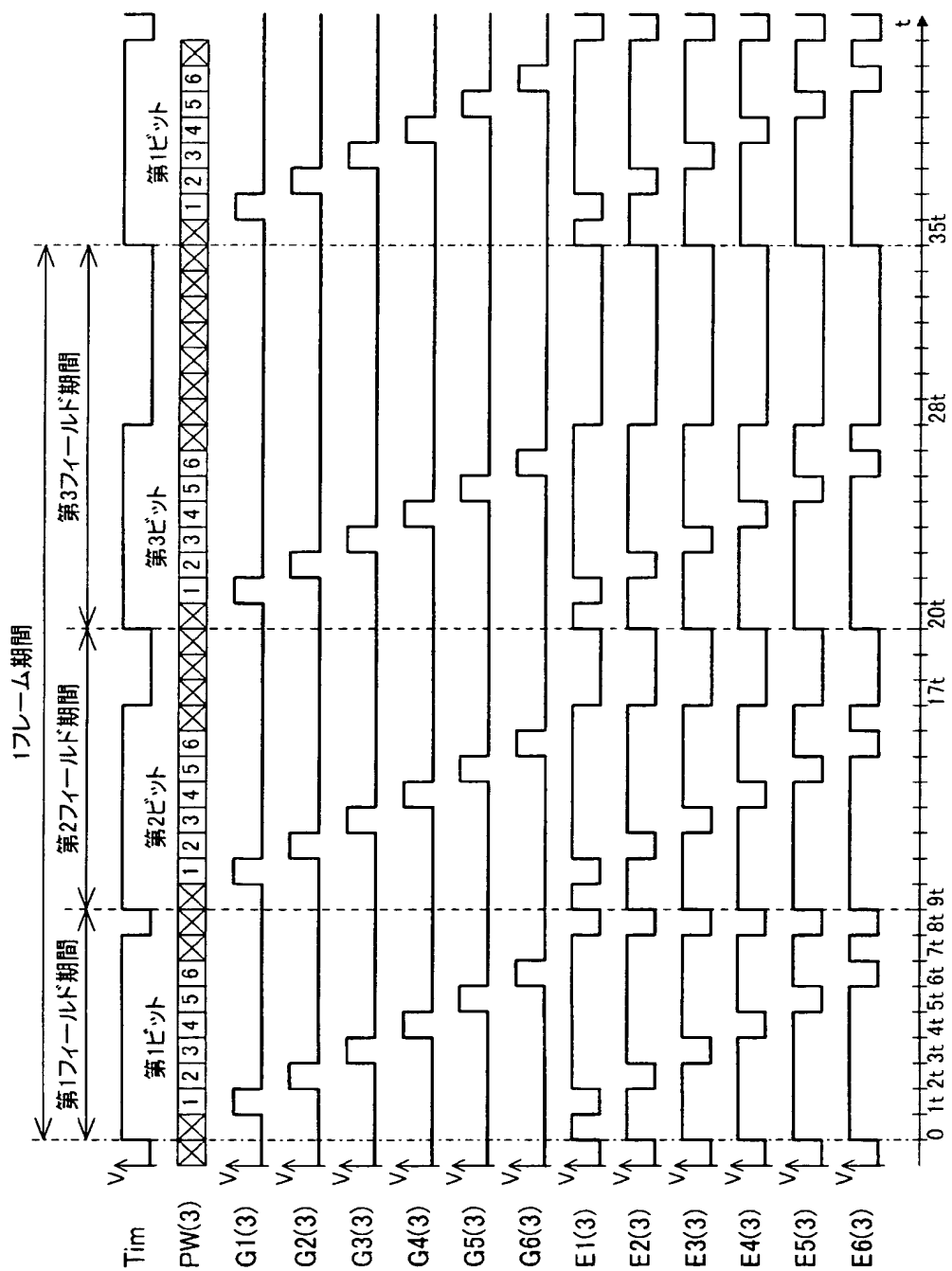
【図6】



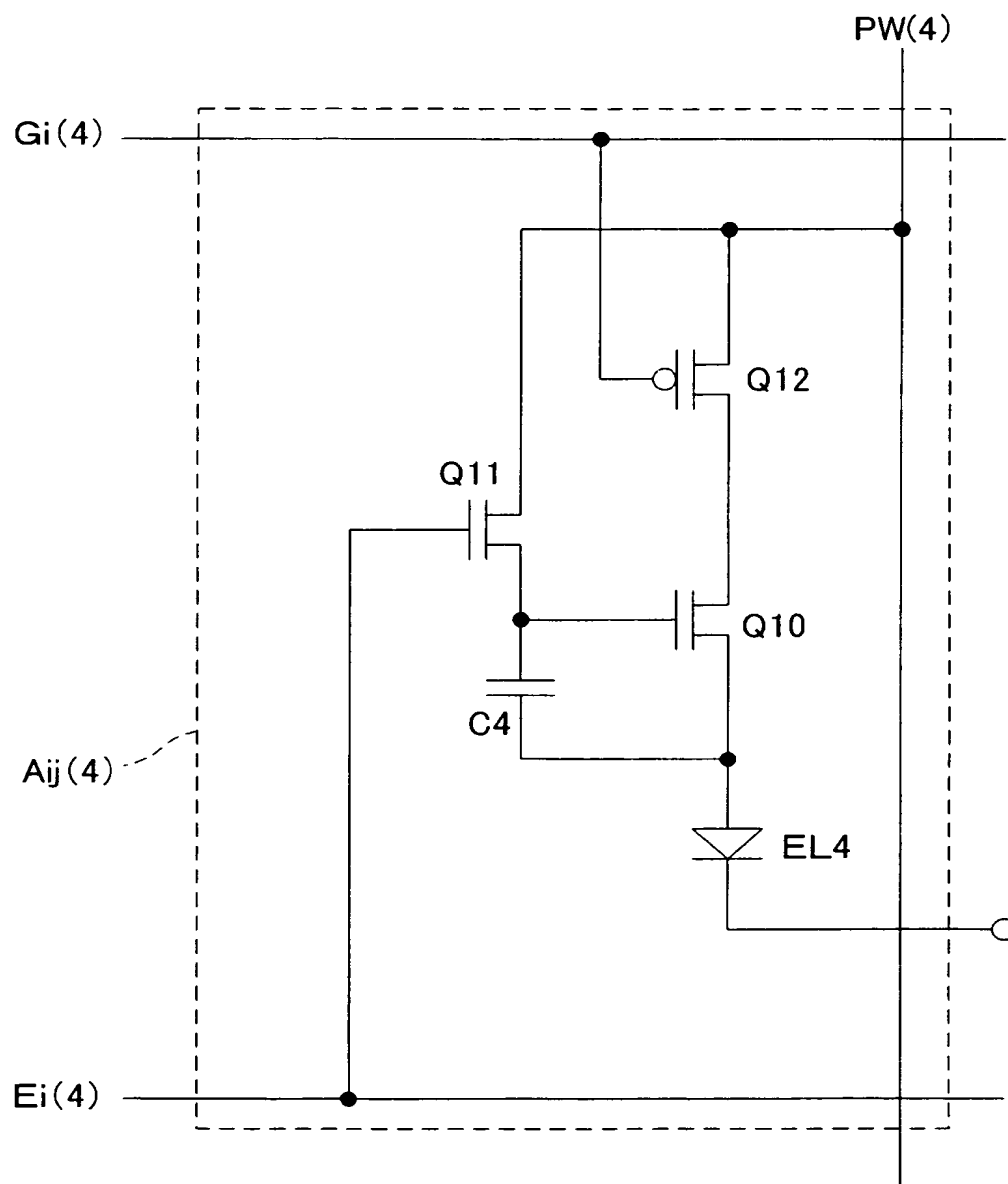
【図 7】



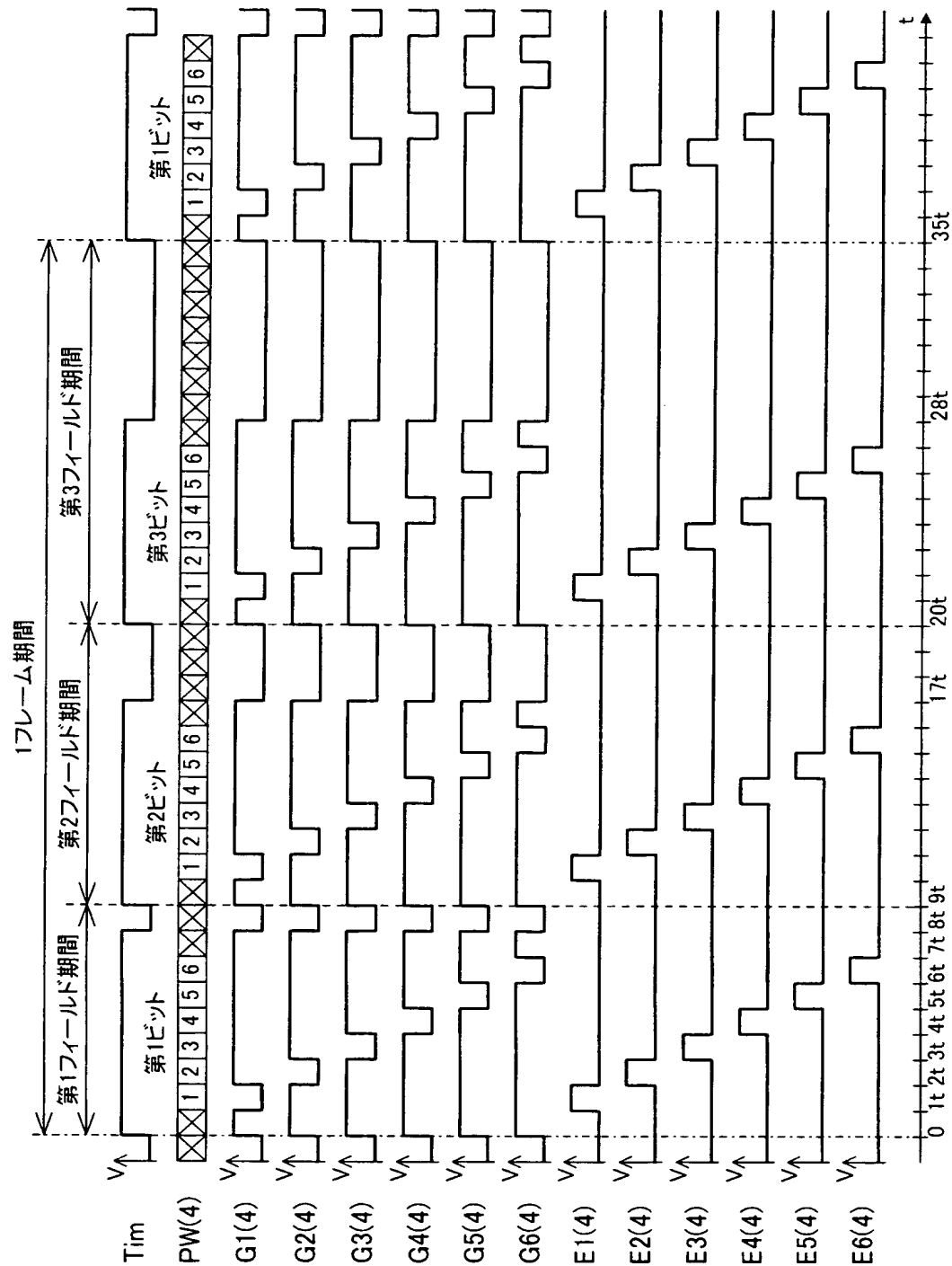
【図8】



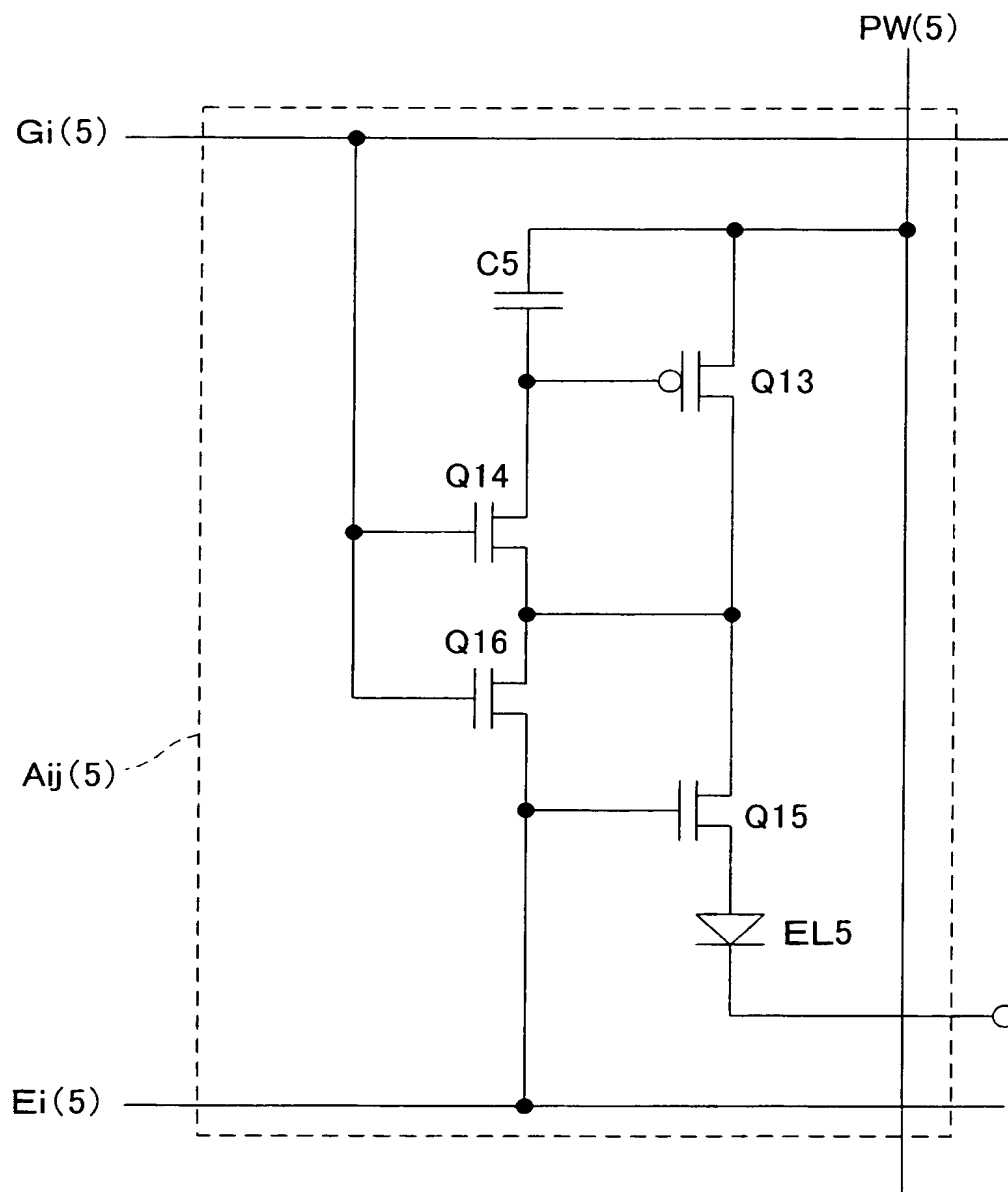
【図 9】



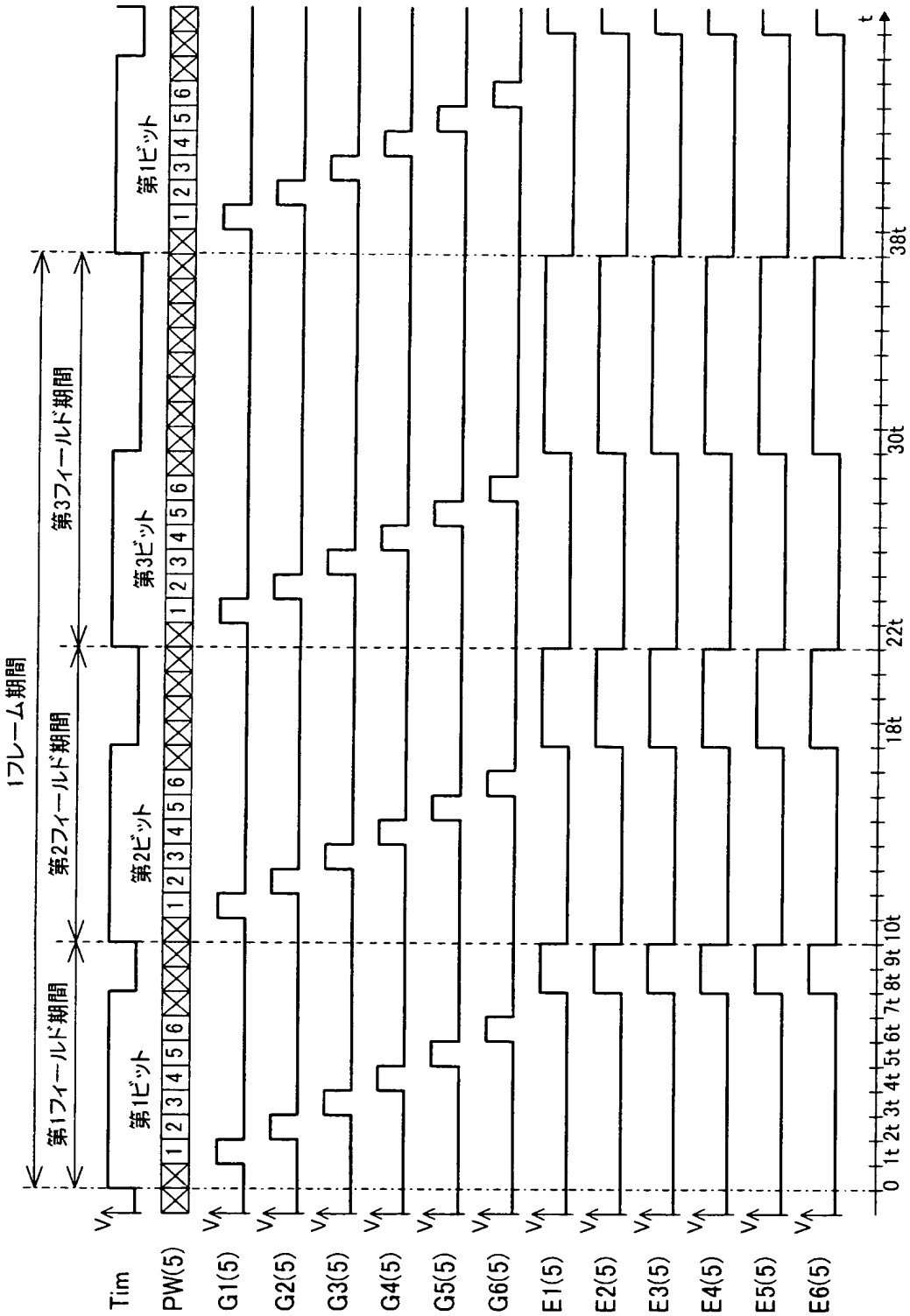
【図 10】



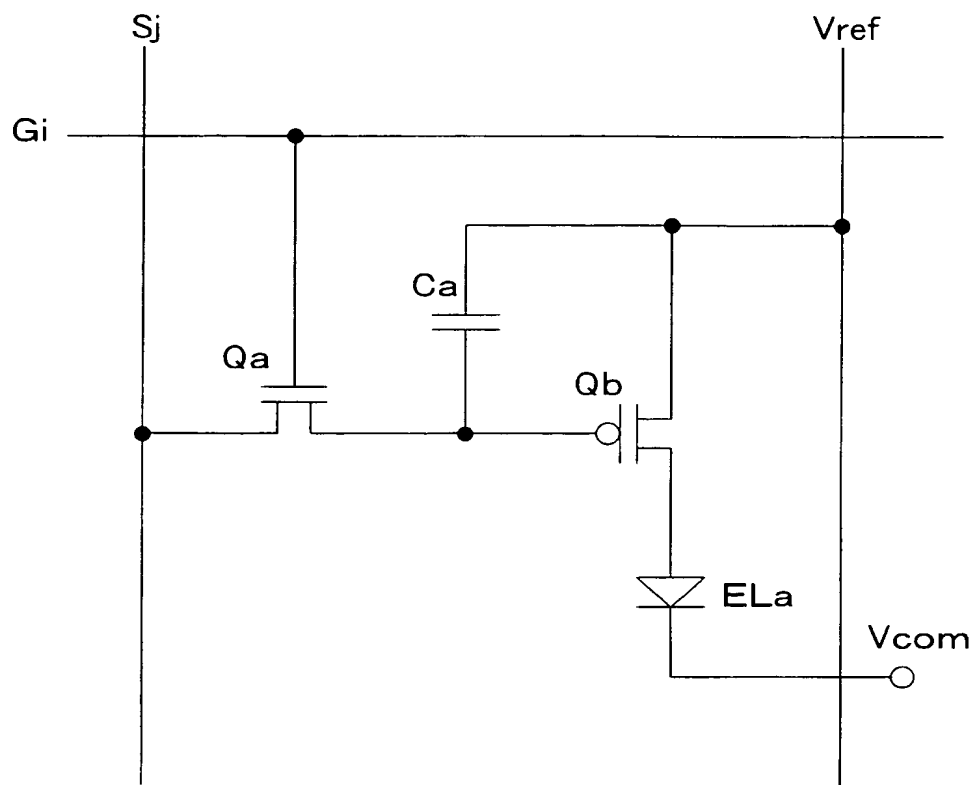
【図 11】



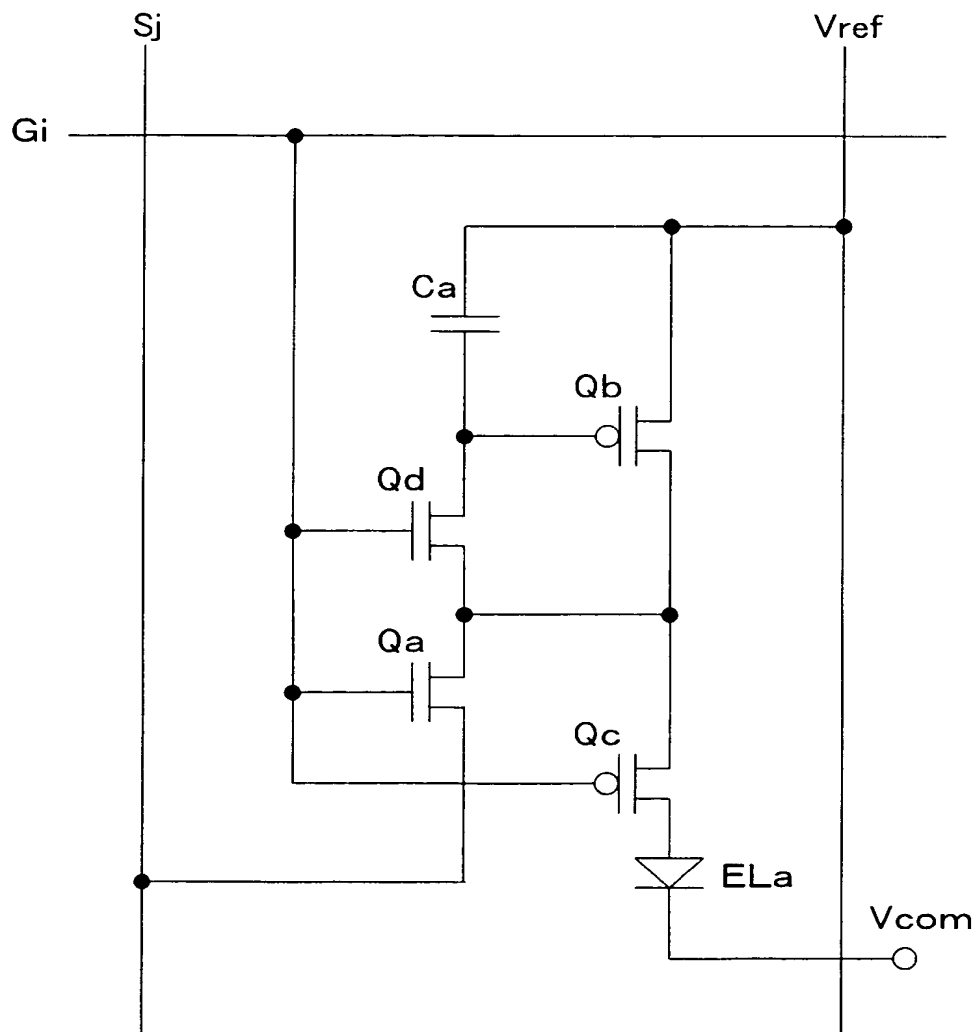
【図 12】



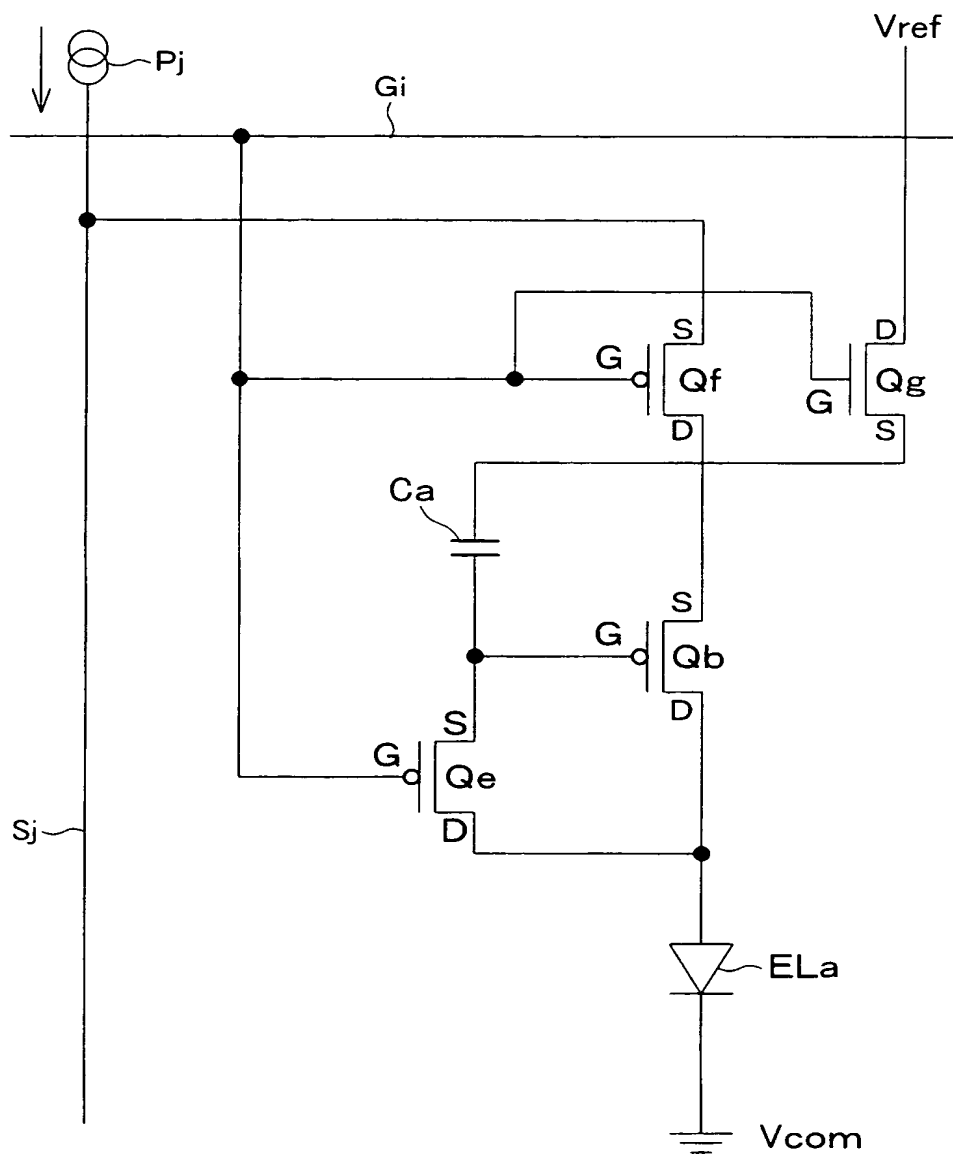
【図 13】



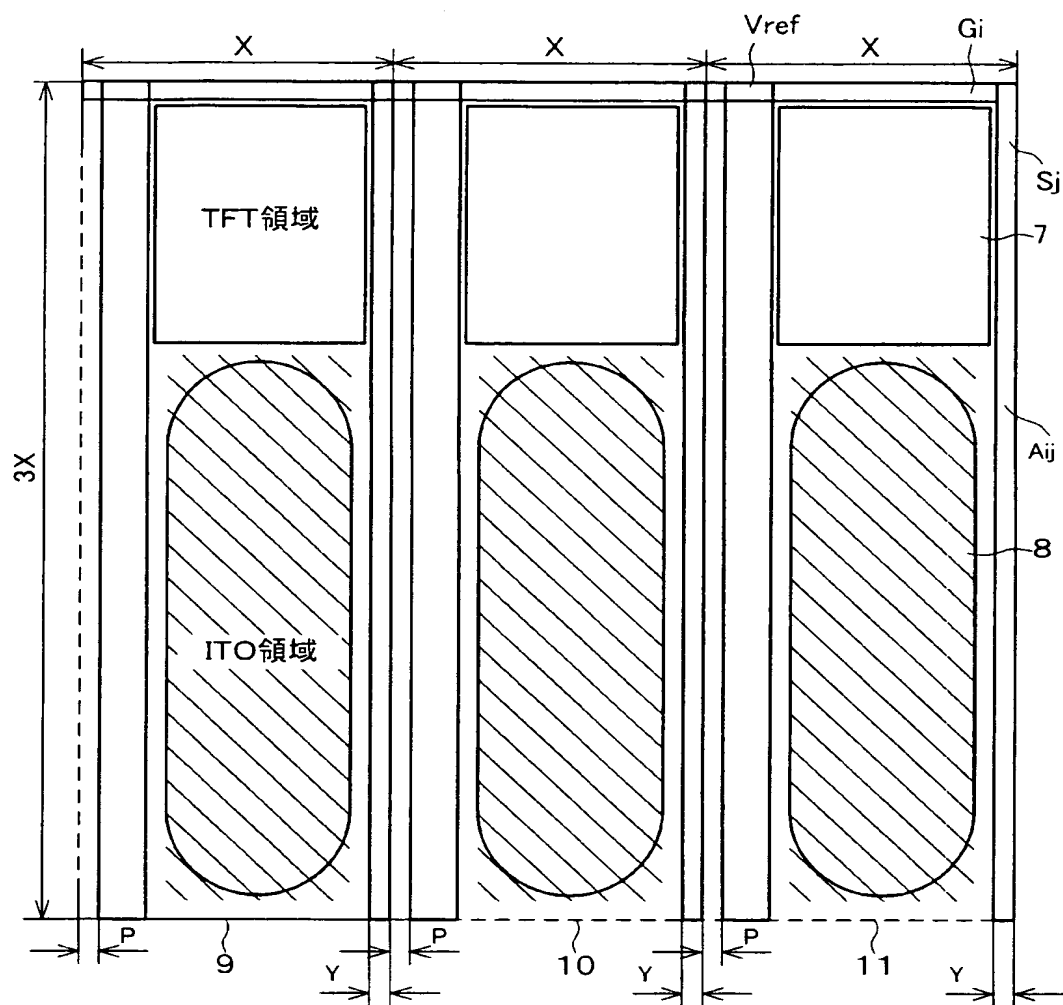
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供する。

【解決手段】 各画素回路 A_{ij} (1) において、ゲート配線 G_i (1) により TFT 素子 Q_2 を、制御配線 E_i (1) により TFT 素子 Q_3 を、それぞれ導通させ、電流源回路から電源配線 PW (1) および TFT 素子 $Q_1 \cdot Q_3$ を介して有機 EL 素子 EL_1 に所定の値の電流を流す。そして、TFT 素子 $Q_2 \cdot Q_3$ を遮断して、コンデンサ C_1 に上記電流の値に応じた TFT 素子 Q_1 のゲート・ソース間電圧を保持させることにより、有機 EL 素子 EL_1 を駆動する電流の値を設定する。その後、TFT 素子 Q_2 を遮断したまま TFT 素子 Q_3 を導通させることにより、TFT 素子 Q_1 に設定した値の電流を電圧源回路から電源配線 PW (1) を介して有機 EL 素子 EL_1 に流し、有機 EL 素子 EL_1 を駆動する。

【選択図】 図 1

特願 2 0 0 2 - 3 5 3 8 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社